

Docket No.: 60188-781

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Hitoshi SUWA, et al.

Serial No.: 10/783,025

Filed: February 23, 2004

For: BOOSTER CIRCUIT



: Customer Number: 20277
:
: Confirmation Number: 3766
:
: Group Art Unit: Not yet assigned
:
: Examiner: Not yet assigned
:

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Mail Stop Missing Parts
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

At the time the above application was filed, priority was claimed based on the following application:

Japanese Application No. 2003-061219, filed March 7, 2003.

A copy of the priority application listed above is enclosed.

Respectfully submitted,

MCDERMOTT WILL & EMERY LLP


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
202.756.8000 MEF:ete
Facsimile: 202.756.8087
Date: September 21, 2004

60188-781
10/783,025
Hitoshi SUWA et al.

日本国特許庁
JAPAN PATENT OFFICE

2/28/04
McDermott Will & Emery LLP

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日 2003年 3月 7日
Date of Application:

出願番号 特願2003-061219
Application Number:

(ST. 10/C): [JP 2003-061219]

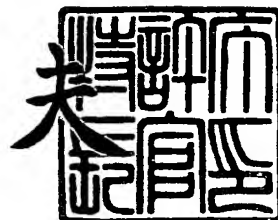
願 人 松下電器産業株式会社
Applicant(s):

CERTIFIED COPY OF
PRIORITY DOCUMENT

2004年 2月20日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



BEST AVAILABLE COPY

出証番号 出証特2004-3011888

【書類名】 特許願

【整理番号】 5038340109

【提出日】 平成15年 3月 7日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 16/06

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 諏訪 仁史

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 濱本 幸昌

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100077931

 【弁理士】

 【氏名又は名称】 前田 弘

【選任した代理人】

 【識別番号】 100094134

 【弁理士】

 【氏名又は名称】 小山 廣毅

【選任した代理人】

 【識別番号】 100110939

 【弁理士】

 【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【選任した代理人】

【識別番号】 100117581

【弁理士】

【氏名又は名称】 二宮 克也

【選任した代理人】

【識別番号】 100117710

【弁理士】

【氏名又は名称】 原田 智雄

【選任した代理人】

【識別番号】 100121500

【弁理士】

【氏名又は名称】 後藤 高志

【選任した代理人】

【識別番号】 100121728

【弁理士】

【氏名又は名称】 井関 勝守

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0217869

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 昇圧回路

【特許請求の範囲】

【請求項 1】 それぞれが、電荷転送トランジスタと、互いに並列に接続された複数の昇圧用キャパシタとを含み、クロック信号により入力電圧を昇圧して出力する 1 つの又は互いに直列に接続された複数の昇圧セルを有する昇圧部と、

前記昇圧部から出力される昇圧電圧を検知し、検知した昇圧電圧が所定の電圧値以下である場合に、検知信号を出力する昇圧電圧検知部と、

前記検知信号により前記クロック信号を出力するクロック発生部とを備え、

前記昇圧部は、制御信号に基づいて前記複数の昇圧用キャパシタの接続状態を切り換える接続切換回路を有していることを特徴とする昇圧回路。

【請求項 2】 制御信号に基づいて、第 1 のクロック信号の振幅を変更し切り換えた第 2 のクロック信号を出力するクロック振幅切換部と、

それぞれが、電荷転送トランジスタ及び昇圧用キャパシタを含み、前記第 2 のクロック信号により入力電圧を昇圧して出力する 1 つの又は互いに直列に接続された複数の昇圧セルを有する昇圧部と、

前記昇圧部から出力される昇圧電圧を検知し、検知した昇圧電圧が所定の電圧値以下である場合に、検知信号を出力する昇圧電圧検知部と、

前記検知信号により前記第 1 のクロック信号を出力するクロック発生部とを備えていることを特徴とする昇圧回路。

【請求項 3】 それぞれが、互いに並列に接続され、前段からの出力電圧を入力として後段に出力する複数の電荷転送トランジスタと、一方の電極が前記複数の電荷転送トランジスタの出力端子と接続され、他方の電極が第 1 のクロック信号を受ける出力電圧用キャパシタとを含む 1 つの又は直列に接続された複数の昇圧セルを有する昇圧部と、

前記昇圧部から出力される昇圧電圧を検知し、検知した昇圧電圧が所定の電圧値以下である場合に、検知信号を出力する昇圧電圧検知部と、

前記検知信号により前記第 1 のクロック信号及び該第 1 のクロック信号と位相が異なる第 2 のクロック信号を出力するクロック発生部とを備え、

前記昇圧部は、

それぞれ、一方の電極が前記各電荷転送トランジスタのゲートと接続され、他方の電極が前記第2のクロック信号を受ける複数のゲート昇圧用キャパシタと、

前記ゲート昇圧用キャパシタと接続され、制御信号に基づいて前記各電荷転送トランジスタを選択的に動作させる電荷転送トランジスタ制御回路と、

前記各電荷転送トランジスタにおける入力端子とゲートとの間を導通又は非導通とする複数のスイッチトランジスタとを有していることを特徴とする昇圧回路

。

【請求項4】 それぞれが、互いに並列に接続され、前段からの出力電圧を入力として後段に出力する複数の電荷転送トランジスタと、一方の電極が前記複数の電荷転送トランジスタの出力端子と接続され、他方の電極が第1のクロック信号を受ける出力電圧用キャパシタとを含む1つの又は直列に接続された複数の昇圧セルを有する昇圧部と、

前記昇圧部から出力される昇圧電圧を検知し、検知した昇圧電圧が所定の電圧値以下である場合に、検知信号を出力する昇圧電圧検知部と、

前記検知信号により前記第1のクロック信号及び該第1のクロック信号と位相が異なる第2のクロック信号を出力するクロック発生部とを備え、

前記昇圧部は、

それぞれ、一方の電極が前記各電荷転送トランジスタのゲートと接続され、他方の電極が前記第2のクロック信号を受ける複数のゲート昇圧用キャパシタと、

前記ゲート昇圧用キャパシタと接続され、前記複数の電荷転送トランジスタを順次シフトさせながら動作させる電荷転送トランジスタシフト制御回路と、

前記各電荷転送トランジスタにおける入力端子とゲートとの間を導通又は非導通とする複数のスイッチトランジスタとを有していることを特徴とする昇圧回路

。

【請求項5】 前記昇圧部からの出力電圧を検出して、前記制御信号を出力する昇圧電圧検知制御部をさらに備えていることを特徴とする請求項1～3のうちのいずれか1項に記載の昇圧回路。

【請求項6】 電源電圧を検出して、前記制御信号を出力する昇圧電圧検知

制御部をさらに備えていることを特徴とする請求項 1～3 のうちのいずれか 1 項に記載の昇圧回路。

【請求項 7】 電源電圧を検知して、前記昇圧電圧検知制御部の出力を制御する電源電圧検知制御部をさらに備えていることを特徴とする請求項 5 に記載の昇圧回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、不揮発性半導体記憶装置等の半導体集積回路装置に用いられる昇圧回路に関する。

【0002】

【従来の技術】

従来、昇圧電位の上限值を、昇圧された出力電位（昇圧電位）と基準電位とを比較して制御する昇圧回路は、例えば不揮発性半導体記憶装置における消去用及び書込み用の高電圧供給回路に昇圧電位の上限值を決定するために設けられているトランジスタの破壊を防止する目的に用いられている（例えば、特許文献 1 参照。）。

【0003】

図 20 は特許文献 1 に記載された従来の昇圧回路の構成の一例を示している。

【0004】

図 20 に示すように、複数（ n 個、但し n は 1 以上の整数。）のポンプ回路 811～81 n はそれぞれ、ゲート及びドレインとが接続され且つ互いに直列に接続された第 1 の N チャネル MOS トランジスタ MN1 及び第 2 の N チャネル MOS トランジスタ MN2 と、一方の電極が各トランジスタ MN1、MN2 のゲートと接続され、他方の電極がポンピング制御信号発生回路 860 から出力される相補信号であるポンピング制御信号 T_c 、 B_c を受ける第 1 のポンピング容量 C_1 及び第 2 のポンピング容量 C_2 とにより構成されている。

【0005】

初段のポンプ回路 811 は、ゲート及びドレインが接続された N チャネル MO

Sからなる電源トランジスタNT r 8 1を介して、電源端子V c cと順方向接続されている。また、最終段のポンプ回路8 1 nの出力端子は、ゲート及びドレインが電源端子V c cと接続されたプルアップ用NチャネルMOSトランジスタNT r 8 2のソースと接続されて昇圧電位（出力電位）VPUMPが取り出されると共に、昇圧電位感知回路8 2 0の入力端子と接続されている。

【0006】

昇圧電位感知回路8 2 0は、入力端子に昇圧電位VPUMPが印加され、その出力端子から比較用出力電位VPUMPCが出力されて、比較増幅回路8 3 0の非反転入力端子に印加される。

【0007】

比較増幅回路8 3 0は、反転入力端子に基準電位発生回路8 4 0からの基準電位VREFが印加される差動増幅回路であり、昇圧電位感知回路8 2 0の比較用出力電位VPUMPCと基準電位発生回路8 4 0の基準電位VREFとを比較して、その比較結果をポンピング制御信号発生回路8 6 0に出力する。

【0008】

以下、前記のように構成された昇圧回路の動作を説明する。

【0009】

図20に示す昇圧回路は、ポンピング制御信号発生回路8 6 0で生成される相補クロック信号Tc、Bcを用い、各ポンプ回路8 1 1～8 1 nを構成する第1及び第2のポンピング容量C1、C2の電位をそれぞれ交互にハイレベルとロウレベルとに駆動する。これにより、しきい値電圧がVTHである電源トランジスタNT r 8 1を介して供給された電位（VCC-VTH）に、段数nによって決定される昇圧電位差ΔVだけ加えた電位（VCC-VTH+ΔV）を昇圧回路の出力電位VPUMPとして得ることができる。

【0010】

比較増幅回路8 3 0は、基準電位VREFが比較用出力電位VPUMPCよりも高いか等しい場合、すなわち $VREF \geq VPUMPC$ となる期間は昇圧動作を続け、逆に、基準電位VREFが比較用出力電位VPUMPCよりも低い場合、すなわち $VREF < VPUMPC$ となる期間は昇圧動作を停止する。

【0011】

なお、他の従来例として、出力電位（昇圧電位）の値に応じてポンピングパルスのパルス幅を可変として出力電位の制御を行なう方法も提案されている。

【0012】

【特許文献1】

特開平4-132088号（第5-7頁、第1図）

【0013】

【発明が解決しようとする課題】

しかしながら、図20に示す昇圧回路は、図21に示すように、所定の昇圧電位、すなわち目標値に対して、出力電位にオーバーシュート又はアンダーシュートが生じるため、昇圧された出力電位の制御が難しいという問題がある。これは、出力電位に応じて、昇圧回路の昇圧動作及び昇圧停止を切り換えるため、センス遅延等により、出力電位の判定に遅れが生じるからである。

【0014】

また、従来のポンピングパルス幅を制御する昇圧方法には、パルス幅を制御する制御回路の回路規模及び消費電力が大きくなるという他の問題がある。これは、パルス幅制御回路においては、昇圧電位の出力値に応じた中間電位を生成し、生成した中間電位をパルス発生回路に入力することによってパルス幅の制御を行なうからである。

【0015】

本発明は、前記従来の問題に鑑み、所定の昇圧電位に対する出力電位の変動幅を小さくすると共に、簡易な回路構成で容易に制御ができるようにすることを目的とする。

【0016】

【課題を解決するための手段】

前記の目的を達成するため、本発明に係る第1の昇圧回路は、それぞれが、電荷転送トランジスタと、互いに並列に接続された複数の昇圧用キャパシタとを含み、クロック信号により入力電圧を昇圧して出力する1つの又は互いに直列に接続された複数の昇圧セルを有する昇圧部と、昇圧部から出力される昇圧電圧を検

知し、検知した昇圧電圧が所定の電圧値以下である場合に、検知信号を出力する昇圧電圧検知部と、検知信号によりクロック信号を出力するクロック発生部とを備え、昇圧部は、制御信号に基づいて複数の昇圧用キャパシタの接続状態を切り換える接続切換回路を有している。

【0017】

第1の昇圧回路によると、昇圧部が制御信号に基づいて複数の昇圧用キャパシタの接続状態を切り換える接続切換回路を有しているため、例えば外部からの制御信号に応じて、動作させる昇圧セル内の昇圧用キャパシタの個数を調節することにより、昇圧部の昇圧能力を調整できるので、設定された目標電圧に対するオーバーシュートを防止できるようになる。その結果、昇圧回路を構成する素子の信頼性を向上でき、加えて消費電流をも低減することができる。

【0018】

本発明に係る第2の昇圧回路は、制御信号に基づいて、第1のクロック信号の振幅を変更し切り換えた第2のクロック信号を出力するクロック振幅切換部と、それぞれが、電荷転送トランジスタ及び昇圧用キャパシタを含み、第2のクロック信号により入力電圧を昇圧して出力する1つの又は互いに直列に接続された複数の昇圧セルを有する昇圧部と、昇圧部から出力される昇圧電圧を検知し、検知した昇圧電圧が所定の電圧値以下である場合に、検知信号を出力する昇圧電圧検知部と、検知信号により第1のクロック信号を出力するクロック発生部とを備えている。

【0019】

第2の昇圧回路によると、制御信号に基づいて、第1のクロック信号の振幅を変更し切り換えた第2のクロック信号を出力するクロック振幅切換部を備えているため、第2のクロック信号の振幅を第1のクロック信号の振幅よりも小さくすることにより、昇圧セルが持つ昇圧能力を調整できるので、設定された目標電圧に対するオーバーシュートを防止できるようになり、その結果、昇圧回路を構成する素子の信頼性を向上でき、加えて昇圧部の耐圧オーバーを防止することができる。

【0020】

本発明に係る第3の昇圧回路は、それぞれが、互いに並列に接続され、前段からの出力電圧を入力として後段に出力する複数の電荷転送トランジスタと、一方の電極が複数の電荷転送トランジスタの出力端子と接続され、他方の電極が第1のクロック信号を受ける出力電圧用キャパシタとを含む1つの又は互いに直列に接続された複数の昇圧セルを有する昇圧部と、昇圧部から出力される昇圧電圧を検知し、検知した昇圧電圧が所定の電圧値以下である場合に、検知信号を出力する昇圧電圧検知部と、検知信号により第1のクロック信号及び該第1のクロック信号と位相が異なる第2のクロック信号を出力するクロック発生部とを備え、昇圧部は、それぞれ、一方の電極が各電荷転送トランジスタのゲートと接続され、他方の電極が第2のクロック信号を受ける複数のゲート昇圧用キャパシタと、ゲート昇圧用キャパシタと接続され、制御信号に基づいて各電荷転送トランジスタを選択的に動作させる電荷転送トランジスタ制御回路と、各電荷転送トランジスタにおける入力端子とゲートとの間を導通又は非導通とする複数のスイッチトランジスタとを有している。

【0021】

第3の昇圧回路によると、昇圧部は、互いに並列に接続され、前段からの出力電圧を入力として後段に出力する複数の電荷転送トランジスタと、それぞれ、一方の電極が電荷転送トランジスタのゲートと接続され、他方の電極が第1のクロック信号と異なる位相を持つ第2のクロック信号を受ける複数のゲート昇圧用キャパシタと、制御信号に基づいて各電荷転送トランジスタを選択的に動作させる電荷転送トランジスタ制御回路と、各電荷転送トランジスタにおける入力端子とゲートとの間を導通又は非導通とする複数のスイッチトランジスタとを有しているため、制御信号に応じて動作させる昇圧セル内の電荷転送トランジスタの数を変更することにより、昇圧部の昇圧能力を調整できるので、設定された目標電圧に対するオーバーシュートを防止できるようになり、その結果、昇圧回路を構成する素子の信頼性を向上でき、加えて昇圧部の動作時における電源電流のピーク値を低減することができる。

【0022】

本発明に係る第4の昇圧回路は、それぞれが、互いに並列に接続され、前段か

らの出力電圧を入力として後段に出力する複数の電荷転送トランジスタと、一方の電極が複数の電荷転送トランジスタの出力端子と接続され、他方の電極が第1のクロック信号を受ける出力電圧用キャパシタとを含む1つの又は互いに直列に接続された複数の昇圧セルを有する昇圧部と、昇圧部から出力される昇圧電圧を検知し、検知した昇圧電圧が所定の電圧値以下である場合に、検知信号を出力する昇圧電圧検知部と、検知信号により第1のクロック信号及び該第1のクロック信号と位相が異なる第2のクロック信号を出力するクロック発生部とを備え、昇圧部は、それぞれ、一方の電極が各電荷転送トランジスタのゲートと接続され、他方の電極が第2のクロック信号を受ける複数のゲート昇圧用キャパシタと、ゲート昇圧用キャパシタと接続され、複数の電荷転送トランジスタを順次シフトさせながら動作させる電荷転送トランジスタシフト制御回路と、各電荷転送トランジスタにおける入力端子とゲートとの間を導通又は非導通とする複数のスイッチトランジスタとを有している。

【0023】

第4の昇圧回路によると、昇圧部は、互いに並列に接続され、前段からの出力電圧を入力として後段に出力する複数の電荷転送トランジスタと、それぞれ、一方の電極が電荷転送トランジスタのゲートと接続され、他方の電極が第1のクロック信号と異なる位相を持つ第2のクロック信号を受ける複数のゲート昇圧用キャパシタと、ゲート昇圧用キャパシタと接続され、複数の電荷転送トランジスタを順次シフトさせながら動作させる電荷転送トランジスタシフト制御回路と、各電荷転送トランジスタにおける入力端子とゲートとの間を導通又は非導通とする複数のスイッチトランジスタとを有しているため、複数の電荷転送トランジスタに遅延を与えながら、該複数の電荷転送トランジスタを徐々に動作させることができる。このように、簡便な回路構成であっても、昇圧部の動作時における電源電流のピーク値を低減することができる。

【0024】

第1～第3の昇圧回路は、昇圧部からの出力電圧を検出して、制御信号を出力する昇圧電圧検知制御部をさらに備えていることが好ましい。このようにすると、昇圧電圧が目標電圧値に近づくにつれて昇圧能力を下げるができるため、

昇圧電圧のオーバーシュートを防ぐことができる。

【0025】

この場合に、電源電圧を検知して、昇圧電圧検知制御部の出力を制御する電源電圧検知制御部をさらに備えていることが好ましい。このようにすると、電源電圧に応じて昇圧能力を調整できるため、低電源電圧時に昇圧能力が下がり過ぎないようにすることができるので、比較的広い帯域（範囲）を持つ電源電圧を昇圧する場合においても、昇圧電圧のオーバーシュートを防ぐことができ、その上、低電源電圧側におけるセットアップ時間の遅延をも防止することができる。

【0026】

また、第1～第3の昇圧回路は、電源電圧を検出して、制御信号を出力する昇圧電圧検知制御部をさらに備えていることが好ましい。このようにすると、電源電圧が高い場合であっても、昇圧能力が上がり過ぎないようにすることができるため、比較的広い電圧帯域を持つ電源電圧を昇圧する場合においても、昇圧電圧のオーバーシュートを防ぐことができる。

【0027】

【発明の実施の形態】

（第1の実施形態）

本発明の第1の実施形態について図面を参照しながら説明する。

【0028】

図1は本発明の第1の実施形態に係る昇圧回路を示している。

【0029】

図1に示すように、第1の実施形態に係る昇圧回路は、互いに直列に接続された3段の昇圧セル11、12、13、後段の昇圧セル13の出力側に設けられダイオード接続されたNchトランジスタM14からなる電力出力部14を含む昇圧部10と、該昇圧部10から出力される出力電圧（昇圧電圧）VPPを検知し、検知した出力電圧VPPが所定の電圧値以下である場合に、クロック制御信号（検知信号）PENを出力する昇圧電圧検知回路120と、クロック制御信号PENに基づいて、外部から入力されるクロック信号CLK1又はCLK2を各昇圧セル11～13に対して選択的に出力する昇圧クロック制御回路140とによ

り構成されている。

【0030】

各昇圧セル11～13は、入力端子VINと出力端子VOとの間に設けられ、ゲート及びドレインが接続（ダイオード接続）された第1のNchトランジスタM11と、ゲート及びドレインが電源電圧VDDに接続され、ソースが第1のNchトランジスタM11のソースと接続された第2のNchトランジスタM12と、クロック信号CLK1又はCLK2が入力される昇圧クロック入力端子CLKMと第1のNchトランジスタM11のドレインとの間に設けられた昇圧用キャパシタCPとを有している。

【0031】

昇圧用キャパシタCPには、n（但し、nは1以上の整数。）個の補助昇圧用キャパシタCS1～CSnが、外部から入力される制御信号としての昇圧能力切替信号EN1～ENNによりそれぞれ制御される接続切換回路131～13nを介して並列に接続されている。

【0032】

また、初段の昇圧セル11の入力端子VINには、ゲート及びドレインが電源電圧VDDに接続された第3のNchトランジスタM13が接続されている。

【0033】

ここで、昇圧部10における昇圧効率を上げるには、各NchトランジスタM11～M14のしきい値電圧が0Vであることが望ましい。また、各NchトランジスタM11～M14に代えてダイオードを用いても良く、さらには、4相クロック方式のしきい値相殺型ポンプ回路を用いても良い。

【0034】

初段及び後段の昇圧セル11、13の昇圧クロック入力端子CLKMには、図2に示すように、互いに相補な関係にある昇圧クロック信号CLK1及びCLK2のうちのCLK1が入力されることにより入力電圧を昇圧する。一方、中段の昇圧セル12の昇圧クロック入力端子CLKMには、昇圧クロック信号CLK1及びCLK2のうちのCLK2が入力されることにより入力電圧を昇圧する。

【0035】

各接続切換回路 131～13n は、それぞれ、入力端子 V I からの入力電圧と昇圧能力切替信号 E N 1～E N n のうち対応する一信号とを受けるレベルシフタ L S と、昇圧用キャパシタ C P の対向する各電極とそれぞれ直列に接続され、各ゲートがレベルシフタ L S の出力端子と接続された第 1 の P c h トランジスタ M c 1 及び第 2 の P c h トランジスタ M c 2 とにより構成されている。

【0036】

昇圧電圧検知回路 120 は、図 3 に示すように、昇圧電圧 V P P と接地端子との間に直列に接続された抵抗器 R 1、R 2 と、一方の入力端子が抵抗器 R 1、R 2 の接続ノード V P P D P と接続され、他方の入力端子が基準電圧 V R E F を受け、接続ノード V P P D P の電圧と基準電圧 V R E F との比較演算を行なって、クロック制御信号 P E N を出力する電圧比較器とにより構成されている。ここでは電圧比較器として差動増幅器を用い、非反転入力端子には基準電圧 V R E F が印加され、反転入力端子には接続ノード V P P D P の電圧が印加される。この構成により、接続ノード V P P D P の電圧が基準電圧 V R E F よりも低い場合は、クロック制御信号 P E N の電位はハイレベルとなり、接続ノード V P P D P の電圧が基準電圧 V R E F よりも高い場合は、クロック制御信号 P E N の電位はロウレベルとなる。

【0037】

昇圧クロック制御回路 140 は、図 1 に示すように、一方の入力端子がクロック信号 C L K 1 又は C L K 2 を受け、他方の入力端子がクロック制御信号 P E N を受ける 2 つのアンド回路を有しており、各アンド回路の演算結果に応じてクロック信号 C L K 1 又は C L K 2 を各昇圧セル 11～13 の昇圧クロック入力端子 C L K M に供給する。このように、昇圧クロック制御回路 140 は、昇圧電圧検知回路 120 からのクロック制御信号 P E N に基づいて、昇圧部 10 に対するクロック信号 C L K 1 又は C L K 2 の供給及び停止を制御し、これにより、昇圧部 10 における昇圧動作が制御される。

【0038】

以下、前記のように構成された昇圧回路の動作を説明する。

【0039】

図1に示す昇圧部10において、外部から入力される各昇圧能力切替信号 $EN_1 \sim EN_n$ の値がそれぞれロウレベルの場合には、昇圧セル11～13の各接続切換回路131～13nに含まれるn個のレベルシフトLSからの出力値は、いずれもロウレベルとなる。このため、接続切換回路131～13nにおける各PchトランジスタMc1、Mc2は共に導通状態となるので、各接続切換回路131～13nに対応して設けられた補助昇圧用キャパシタCS1～CSnが昇圧用キャパシタCPと並列接続として導通するようになり、その結果、昇圧部10の昇圧能力が高くなる。

【0040】

これとは逆に、各昇圧能力切替信号 $EN_1 \sim EN_n$ の値がそれぞれハイレベルとなると、各レベルシフトLSからの出力値は出力端子VOの電圧レベルとなるため、接続切換回路131～13nの各PchトランジスタMc1、Mc2は非導通状態となる。これにより、各接続切換回路131～13nに対応して設けられた補助昇圧用キャパシタCS1～CSnは昇圧用キャパシタCPと電氣的に切り離されて、昇圧部10における昇圧能力が低下する。その上、補助昇圧用キャパシタCS1～CSnが切り離されることにより寄生容量が低減するため、昇圧部10における消費電流を低減することができる。

【0041】

例えば、第1の実施形態に係る昇圧回路を用いると、負荷電流の大きさが異なるモード、例えば該昇圧回路を組み込む半導体装置における動作モードやスタンバイモード等において、負荷電流が大きい動作モードでは、各昇圧能力切替信号 $EN_1 \sim EN_n$ のうちの一部又は全部の値をロウレベルに調整して、昇圧用キャパシタCPと接続される補助昇圧用キャパシタCSnの数を増やすことにより、昇圧部10における昇圧能力を大きくすることができる。

【0042】

逆に、負荷電流が小さいスタンバイモードでは、各昇圧能力切替信号 $EN_1 \sim EN_n$ のうちの一部又は全部の値をハイレベルに調整して、昇圧用キャパシタCPと接続される補助昇圧用キャパシタCSnの数を減らすことにより、昇圧部10における昇圧能力を小さくすることができる。

【0043】

以上説明したように、第1の実施形態によると、外部からの制御信号（昇圧能力切替信号 $EN_1 \sim EN_n$ ）に基づいて、各昇圧セル11～13における補助昇圧用キャパシタ CS_n の個数を増減して、各昇圧セル11～13ごとの容量を増減することにより、昇圧部10における昇圧能力を調整することができるため、昇圧電圧検知回路120に設定された目標電圧（基準電圧 V_{REF} ）に対するオーバーシュートを防止することができるので、昇圧回路を構成する素子の信頼性を向上することができる。その上、昇圧能力が小さくて済む動作モードにおいては、その昇圧能力を抑制できるので、昇圧回路における消費電流を低減することができる。

【0044】

なお、ここでは、昇圧部10における昇圧セル11～13を3段構成としたが、これに限られず、1段構成でも良く、また、4段以上の構成としても良い。

【0045】

（第2の実施形態）

以下、本発明の第2の実施形態について図面を参照しながら説明する。

【0046】

図4は本発明の第2の実施形態に係る昇圧回路を示している。図4において、図1に示す構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。

【0047】

図4に示すように、第2の実施形態に係る昇圧回路は、互いに直列に接続された3段の昇圧セル21、22、23、後段の昇圧セル23の出力側に設けられダイオード接続されたNchトランジスタからなる電力出力部24を含む昇圧部10Aと、該昇圧部10Aから出力される出力電圧（昇圧電圧） V_{PP} を検知し、検知した出力電圧 V_{PP} が所定の電圧値以下である場合に、クロック制御信号 PEN を出力する昇圧電圧検知回路120と、クロック制御信号 PEN に基づいて、外部から入力されるクロック信号 CLK_1 又は CLK_2 を各昇圧セル11～13に対して選択的に出力する昇圧クロック制御回路140と、外部から入力され

る制御信号としての昇圧能力切替信号 $EN1 \sim ENn$ に基づいて、クロック信号 $CLK1$ 又は $CLK2$ の振幅を変更して切り換えたクロック信号をそれぞれ出力するクロック振幅切換回路 51、52 とにより構成されている。

【0048】

各昇圧セル 21～23 は、入力端子 VIN と出力端子 VO との間に設けられ、ダイオード接続された第1の Nch トランジスタ $M21$ と、ゲート及びドレインが電源電圧 VDD に接続され、ソースが第1の Nch トランジスタ $M21$ のソースと接続された第2の Nch トランジスタ $M22$ と、昇圧クロック入力端子 $CLKM$ 及び第1の Nch トランジスタ $M21$ のドレインの間に設けられた昇圧用キャパシタ CP とを有している。

【0049】

また、初段の昇圧セル 21 の入力端子 VIN には、ゲート及びドレインが電源電圧 VDD に接続された第3の Nch トランジスタ $M23$ が接続されている。

【0050】

ここで、昇圧部 10A における昇圧効率を上げるには、各 Nch トランジスタ $M21 \sim M23$ のしきい値電圧が 0V であることが望ましい。また、第1の Nch トランジスタ $M21$ 又は第2の Nch トランジスタ $M22$ に代えてダイオードを用いても良く、さらには、4相クロック方式のしきい値相殺型ポンプ回路を用いても良い。

【0051】

昇圧部 10A と昇圧クロック制御回路 140 との間に設けられたクロック振幅切換回路 51、52 は、それぞれ、ソースが電源電圧 VDD と接続された Pch トランジスタ $M24$ と、ソースが接地電圧 VSS と接続された第4の Nch トランジスタ $M25$ とを有している。 Pch トランジスタ $M24$ と第4の Nch トランジスタ $M25$ とのドレイン同士の間には、入力されるクロック信号 $CLK1$ 又は $CLK2$ の振幅を切り換えるための、それぞれゲート及びドレインが接続された n (但し、 n は1以上の整数。) 個の Nch トランジスタ $MNV1 \sim MNVn$ が直列に接続されている。また、 Pch トランジスタ $M24$ と第4の Nch トランジスタ $M25$ の互いのゲートは接続されており、この共通のゲートには、クロ

ック信号CLK1又はそれと相補な関係のクロック信号CLK2が入力される。さらに、各NchトランジスタMNv1～MNvnのドレイン及びソースには、スイッチ素子としてn個のPchトランジスタMPv1～MPvnがそれぞれNchトランジスタMNv1～MNvnと対応するように接続され、各PchトランジスタMPv1～MPvnのゲートには、昇圧能力制御信号EN1～ENnがそれぞれ入力される。

【0052】

この構成により、外部から入力されるクロック信号CLK1又はCLK2は、クロック振幅切換回路51、52によって、その振幅が変更された後、各昇圧セル21～23に供給される。

【0053】

以下、前記のように構成された昇圧回路の動作を説明する。

【0054】

図5(a)に示すように、例えば、n個の昇圧能力制御信号EN1～ENnのうち、m(但し、mは、 $1 \leq m \leq n$ の整数。)本の昇圧能力制御信号EN1～ENmの電位をハイレベルとした場合には、クロック振幅切換回路51、52におけるスイッチトランジスタであるPchトランジスタMPv1～MPvmはそれぞれ非導通となるため、図5(b)に示すように、クロック信号CLK1又はCLK2の振幅VDDに対し、振幅切換回路51、52からの出力信号の振幅は $VDD - m \cdot V_t$ となる。ここで、 V_t はNchトランジスタMNv1～MNvnの各しきい値電圧を表わしている。このように、第2の実施形態に係る昇圧部10Aは、昇圧能力制御信号EN1～ENnによって、昇圧部10Aを動作させるクロック信号の振幅を小さくすることにより、該昇圧部10Aにおける昇圧能力を下げることができる。

【0055】

例えば、昇圧回路に対して、電源電圧を比較的に広い帯域で昇圧させる場合に、高い電源電圧の場合は、外部から入力されるクロック信号CLK1又はCLK2から昇圧用クロック信号の振幅を小さくして、昇圧部10Aにおける昇圧能力を小さくすれば良い。これにより、昇圧用クロック信号の振幅が小さくなること

から、高い電源電圧での耐圧オーバーをも防止することもできる。

【0056】

以上説明したように、第2の実施形態に係る昇圧回路によると、外部からの制御信号（昇圧能力切替信号EN1～ENn）に基づいて、昇圧用クロック信号の振幅を、外部から入力されるクロック信号CLK1又はCLK2の振幅よりも小さくすることにより、昇圧部10Aにおける昇圧能力を調整することができるため、昇圧電圧検知回路120に設定された目標電圧（基準電圧VREF）に対するオーバーシュートを防止することができるので、昇圧回路を構成する素子の信頼性を向上することができる。その上、比較的に高い電源電圧で動作する際には、各素子の耐圧オーバーをも防止することができる。

【0057】

なお、第2の実施形態においても昇圧部10Aにおける昇圧セル21～23を3段構成としたが、これに限られず、1段でも良く、また、4段以上としても良い。

【0058】

（第3の実施形態）

以下、本発明の第3の実施形態について図面を参照しながら説明する。

【0059】

図6は本発明の第3の実施形態に係る昇圧回路を示している。図6において、図1に示す構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。

【0060】

図6に示すように、第3の実施形態に係る昇圧回路は、互いに直列に接続された3段の昇圧セル31、32、33と、後段の昇圧セル33の出力側に設けられ、ダイオード接続されたNchトランジスタからなる電力出力部34とを含む昇圧部10Bと、該昇圧部10Bから出力される出力電圧（昇圧電圧）VPPを検知し、検知した出力電圧VPPが所定の電圧値以下である場合に、クロック制御信号PENを出力する昇圧電圧検知回路120と、クロック制御信号PENに基づいて、外部から入力されるクロック信号CLK10、CLK20、CLK30

又はCLK40を各昇圧セル31～33に対して選択的に出力する昇圧クロック制御回路140Aとにより構成されている。

【0061】

各昇圧セル31～33は、入力端子VINと出力端子VOとの間に設けられ、互いに並列に接続された n （但し、 n は2以上の整数。）個のNchの電荷転送トランジスタM31～M3 n と、該電荷転送トランジスタM31～M3 n の各ゲートと接続され、該各ゲートを駆動するゲート昇圧用キャパシタCg1～Cg n と、電荷転送トランジスタM31～M3 n の各ゲート及びドレインの間にそれぞれ直列に接続され、該ゲート及びドレインの間を導通又は非導通とする n 個のNchトランジスタであるスイッチトランジスタSW1～SW n と、出力端子VO及びクロック信号CLK30又はCLK40が入力される昇圧クロック入力端子CLKMの間に設けられた昇圧用キャパシタCPとを有している。

【0062】

さらに、各昇圧セル31～33は、外部から入力される制御信号としての昇圧能力切替信号EN1～EN $n-1$ を受け、ゲート昇圧用キャパシタCg1～Cg n のうちのCg2～Cg n に対して選択的に駆動電圧を印加する電荷転送トランジスタ制御回路330を有している。ここで、ゲート昇圧用キャパシタCg1には、クロック信号CLK10又はCLK20が制御クロック入力端子CLKSを介して直接に入力される。

【0063】

電荷転送トランジスタ制御回路330は、昇圧能力切替信号EN1～EN $n-1$ のうちの1つの信号が入力される $n-1$ 個のインバータと、それぞれ、一方の入力端子が各インバータの出力を受け、他方の入力端子がクロック信号CLK10又はCLK20を受ける $n-1$ 個のアンド回路とにより構成されている。

【0064】

この構成により、昇圧能力制御信号EN1～EN $n-1$ に基づいて、クロック信号CLK10又はCLK20がゲート昇圧用キャパシタCg2～Cg n に対して選択的に印加されるため、電荷転送トランジスタM32～M3 n のうち駆動されるトランジスタの個数が調節される。

【0065】

第3の実施形態で用いるクロック信号CLK10、CLK20、CLK30及びCLK40のタイミングチャートは、図7に示す通りであり、例えば、後段の昇圧セル33においては、制御クロック入力端子CLKSに印加されるクロック信号CLK10の電位がハイレベルの期間は、昇圧クロック入力端子CLKMに印加されるクロック信号CLK40は、クロック信号CLK10の電位がハイレベルに遷移するよりも前からロウレベルに遷移し、且つクロック信号CLK10の電位がロウレベルに遷移した後にハイレベルに遷移する。

【0066】

また、昇圧クロック制御回路140Aは、第1の実施形態と同様に、昇圧電圧検知回路120からのクロック制御信号PENによって、クロック信号CLK10、CLK20、CLK30及びCLK40の出力が同時に制御される。

【0067】

ここでも、昇圧部10Bにおける昇圧効率を上げるには、各NchトランジスタM31～M3nのしきい値電圧が0Vであることが望ましい。

【0068】

以下、前記のように構成された昇圧回路の動作を説明する。

【0069】

昇圧部10Bにおいて、初段の昇圧セル31に含まれる昇圧用キャパシタCPから、中段の昇圧セル32に含まれる昇圧用キャパシタCP、さらに後段の昇圧セル33に含まれる昇圧用キャパシタCPというように、各昇圧キャパシタCPに順次電荷を蓄積して所定の昇圧電圧を得る。このとき、初段の昇圧キャパシタCPから昇圧された電圧を中段の昇圧キャパシタCPに転送する際に、所定のタイミングで、中段の各ゲート昇圧キャパシタCg1～Cgnに入力されるクロック信号CLK20の電位をロウレベルからハイレベルに遷移することにより、初段から転送される昇圧電圧の電圧降下が抑制される。

【0070】

続いて、初段から中段の昇圧容量CPに転送された昇圧電圧は、入力されるクロック信号CLK30の電位をロウレベルからハイレベルに遷移することにより

、さらに昇圧され、中段の昇圧セル 32 から転送された昇圧電圧は、後段の昇圧セル 33 に転送されて、所定の昇圧電圧だけ昇圧される。この一連の昇圧動作を繰り返すことにより、電源電圧 VDD よりも高い昇圧電圧を発生させることができる。昇圧された電圧は、電力出力部 34 を構成する Nch トランジスタの電流通路の入力端子に供給される。

【0071】

第 3 の実施形態においては、昇圧能力制御信号 EN1 ~ ENn-1 のうち、例えば、m (但し、m は、 $2 \leq m \leq n$ の整数。) 番目の制御信号 ENm の電位をハイレベルとした場合に、電荷転送トランジスタ M3m のゲートに接続されているゲート昇圧用キャパシタ Cgm に対して、電荷転送トランジスタ制御回路 330 がクロック信号 CLK10 又は CLK20 を供給しないため、電荷転送トランジスタ M3m は非動作状態となるので、出力端子 VO に電荷を転送をしなくなる。

【0072】

図 8 は各昇圧セル 31 ~ 33 において、n 個の電荷転送トランジスタ M31 ~ M3n のうち動作するトランジスタの数が多い場合と少ない場合との昇圧電圧の内部波形を示す。

【0073】

図 8 に示すように、各昇圧セル 31 ~ 33 における電荷転送トランジスタ M31 ~ M3n の動作数が多い場合は、電荷の転送速度が速くなるため、その昇圧能力は大きくなる。一方、電荷転送トランジスタ M31 ~ M3n の動作数が少ない場合は、電荷の転送速度が遅くなり、その昇圧能力は小さくなる。このように、転送速度を遅くすることによって、昇圧動作時の電源電流のピーク値を低減することができる。

【0074】

例えば、負荷電流の大きさが異なるモード、例えば該昇圧回路を組み込む半導体装置における動作モードやスタンバイモード等において、負荷電流が大きい動作モードでは、各昇圧能力切替信号 EN1 ~ ENn のうちの一部又は全部の値をロウレベルに調整して、ゲート昇圧用キャパシタ Cg2 ~ Cgn と接続される電荷転送トランジスタ M32 ~ M3n の動作数を増やすことにより、各昇圧セル 3

1～33の昇圧能力を大きくすることができる。

【0075】

逆に、負荷電流が小さいスタンバイモードでは、各昇圧能力切替信号EN1～ENnのうちの一部又は全部の値をハイレベルに調整して、ゲート昇圧用キャパシタCg2～Cgnと接続される電荷転送トランジスタM32～M3nの動作数を減らすことにより、各昇圧セル31～33の昇圧能力を小さくすることができる。

【0076】

このように、第3の実施形態に係る昇圧回路によると、外部からの制御信号（昇圧能力切替信号EN1～ENn-1）に基づいて、各昇圧セル31～33における電荷転送トランジスタM32～M3nの動作数を調節することにより、昇圧部10Bにおける昇圧能力を調整することができるため、昇圧電圧検知回路120に設定された目標電圧（基準電圧VREF）に対するオーバーシュートを防止することができる。これにより、昇圧回路を構成する素子の信頼性を向上できると共に、昇圧動作時における電源電流のピーク値が低減されるので、昇圧回路の動作ノイズを小さくすることができる。

【0077】

なお、昇圧部10Bにおける昇圧セル31～33を3段構成としたが、これに限られず、1段構成でも良く、また、4段以上の構成としても良い。

【0078】

（第4の実施形態）

以下、本発明の第4の実施形態について図面を参照しながら説明する。

【0079】

図9は本発明の第4の実施形態に係る昇圧回路を示している。図9において、図1及び図6に示す構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。

【0080】

図9に示すように、第4の実施形態に係る昇圧回路は、互いに直列に接続された3段の昇圧セル41、42、43と、後段の昇圧セル43の出力側に設けられ

た電力出力部 34 とを含む昇圧部 10C と、該昇圧部 10C から出力される出力電圧（昇圧電圧）VPP を検知し、検知した出力電圧 VPP が所定の電圧値以下である場合に、クロック制御信号 PEN を出力する昇圧電圧検知回路 120 と、クロック制御信号 PEN に基づいて、外部から入力されるクロック信号 CLK50、CLK60、CLK1 又は CLK2 を各昇圧セル 41～43 に対して選択的に出力する昇圧クロック制御回路 140A とにより構成されている。

【0081】

各昇圧セル 41～43 は、入力端子 VIN と出力端子 VO との間に設けられ、互いに並列に接続された 3 個の Nch の電荷転送トランジスタ M41～M43 と、該電荷転送トランジスタ M41～M43 の各ゲートと接続され、該各ゲートを駆動するゲート昇圧用キャパシタ Cg1～Cgn3、電荷転送トランジスタ M41～M43 の各ゲート及びドレインの間にそれぞれ直列に接続され、該ゲート及びドレインの間を導通又は非導通とする 3 個の Nch トランジスタであるスイッチトランジスタ SW1～SW3 と、出力端子 VO 及びクロック信号 CLK1 又は CLK2 が入力される昇圧クロック入力端子 CLKM の間に設けられた昇圧用キャパシタ CP とを有している。ここで、電荷転送トランジスタ 41～43 の個数を 3 としているが、これに限られない。

【0082】

さらに、各昇圧セル 41～43 は、外部から入力されるクロック信号 50 又は CLK60 を受け、ゲート昇圧用キャパシタ Cg1～Cg3 のうちの Cg2 及び Cg3 に対して駆動電圧の印加タイミングに遅延を設ける電荷転送トランジスタシフト制御回路 430 を有している。ここで、ゲート昇圧用キャパシタ Cg1 には、クロック信号 CLK50 又は CLK60 が制御クロック入力端子 CLKS を介して直接に入力される。

【0083】

電荷転送トランジスタシフト制御回路 430 は、一方の入力端子が制御クロック入力端子 CLKS と接続され、他方の入力端子が制御クロック入力端子 CLKS と直列に続された 2 つのインバータからなる遅延回路 431 を介して接続され、出力端子がゲート昇圧用キャパシタ Cg2 と接続された第 1 のアンド回路 43

2と、一方の入力端子が制御クロック入力端子CLKSと接続され、他方の入力端子が該制御クロック入力端子CLKSと直列に接続された2組の遅延回路431を介して接続され、出力端子がゲート昇圧用キャパシタCg3と接続された第2のアンド回路433とにより構成されている。

【0084】

また、昇圧クロック制御回路140Aは、第3の実施形態と同様に、昇圧電圧検知回路120からのクロック制御信号PENによって、クロック信号CLK50、CLK60、CLK1及びCLK2の出力が同時に制御される。

【0085】

ここでも、昇圧部10Bにおける昇圧効率を上げるには、各NchトランジスタM41～M43のしきい値電圧が0Vであることが望ましい。

【0086】

このように、第4の実施形態に係る昇圧回路は、各昇圧セル41～43に含まれる各電荷転送トランジスタM42、M43のゲートと接続されたゲート昇圧用キャパシタCg2～Cg3に対して、駆動電圧の印加タイミングに遅延を与える電荷転送トランジスタシフト回路430を設けているため、電荷転送トランジスタM41～43の動作数が順次シフトしながら増加する。

【0087】

以下、前記のように構成された昇圧回路の動作を説明する。

【0088】

まず、各昇圧セル41～43に入力される昇圧用のクロック信号CLK1及びCLK2は、図2に示したように、互いに相補な関係を有する方形波である。

【0089】

昇圧部10Cにおいて、初段の昇圧セル41に含まれる昇圧用キャパシタCPから、中段の昇圧セル42に含まれる昇圧用キャパシタCP、さらに後段の昇圧セル43に含まれる昇圧用キャパシタCPというように、各昇圧キャパシタCPに順次電荷を蓄積して所定の昇圧電圧を得る。このとき、初段の昇圧キャパシタCPから昇圧された電圧を中段の昇圧キャパシタCPに転送する際に、所定のタイミングで、中段の各ゲート昇圧キャパシタCg1～Cg3に入力されるクロッ

ク信号CLK60の電位をロウレベルからハイレベルに遷移することにより、図10に示すように、電荷転送トランジスタM41～M43の各ゲート電圧CLKS1～CLKS3は、第1の電荷転送トランジスタM41から第3の電荷転送トランジスタM43まで順次シフトして上昇する。これにより、入力された電荷の転送は段階的に行なわれると共に、昇圧動作時における電源電流のピーク値を抑えることができる。

【0090】

以上説明したように、第4の実施形態に係る昇圧回路によると、簡便な回路構成で、各昇圧セル41～43における電荷転送トランジスタM41～M43に対して動作タイミングをシフトしながら駆動電圧を供給するため、昇圧部10Cにおける昇圧動作時における電源電流のピーク値を低減でき、昇圧回路の動作ノイズを小さくすることができる。

【0091】

なお、昇圧部10Cにおける昇圧セル41～43を3段構成としたが、これに限られず、1段構成でも良く、また、4段以上の構成としても良い。

【0092】

(第5の実施形態)

以下、本発明の第5の実施形態について図面を参照しながら説明する。

【0093】

図11は本発明の第5の実施形態に係る昇圧回路のブロック構成を示している。図11において、図1に示す構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。

【0094】

図11に示すように、第5の実施形態に係る昇圧回路は、昇圧部10と、該昇圧部10から出力される出力電圧(昇圧電圧)VPPを検知し、検知した出力電圧VPPが所定の電圧値以下である場合に、クロック制御信号PENを昇圧部10に出力する昇圧電圧検知回路120と、出力電圧VPPを検知し、検知した出力電圧VPPに基づいて、制御信号としての昇圧能力切替信号EN1～ENnを昇圧部10に出力する昇圧電圧検知制御回路60とにより構成されている。ここ

では、クロック制御信号PENを受ける昇圧クロック制御回路は昇圧部10に組み込まれている。

【0095】

図12は昇圧電圧検知制御回路60の回路構成の一例を示している。

【0096】

図12に示すように、第5の実施形態に係る昇圧電圧検知制御回路60は、出力電圧VPPと接地端子との間に互いに直列に接続された $n+1$ （但し、 n は1以上の整数。）個の抵抗器 $R_1 \sim R_{n+1}$ と、各抵抗器 $R_1 \sim R_{n+1}$ における各隣接間のノードVPPD1～VPPD n の電位と基準電圧VREFとが入力され、且つ各ノードVPPD1～VPPD n の電位と基準電圧VREFとを比較して演算を行ない、昇圧能力切替信号EN1～EN n を出力する電圧比較部61とから構成されている。

【0097】

電圧比較部61は、昇圧能力切替信号EN1～EN n をそれぞれ出力する n 個の差動増幅器からなり、反転入力端子には基準電位VREFが入力され、非反転入力端子には各ノードVPPD1～VPPD n の電位がそれぞれ入力される。

【0098】

この構成により、昇圧電圧検知制御回路60から出力される、各ノードと対応する昇圧能力切替信号EN1～EN n は、昇圧電圧VPPを抵抗分割した各ノードVPPD1～VPPD n が基準電圧VREFよりも低い場合には、それぞれロウレベルとなり、基準電圧VREFよりも高い場合には、それぞれハイレベルとなる。

【0099】

以下、前記のように構成された昇圧回路の動作について、昇圧回路から出力される昇圧電圧VPPの電圧波形を示す図13を参照しながら説明する。

【0100】

図13に示すように、クロック制御信号PENがハイレベルとなり、昇圧動作が開始された直後は、昇圧電圧VPPは、 $VPP < \text{判定レベル} 1 < \text{判定レベル} 2 < \dots < \text{判定レベル} n$ であるため、昇圧電圧検知制御回路60から出力される

昇圧能力切替信号 $EN1 \sim ENn$ の電位はすべてロウレベルとなるので、例えば第1の実施形態で説明したように、昇圧部10における昇圧能力は最大となる。ここで、各判定レベルの算出式は、以下の通りである。

【0101】

判定レベル n

$$= VREF \times (R1 + R2 + \dots + Rn + 1) / R1$$

判定レベル $n - 1$

$$= VREF \times (R1 + R2 \dots + Rn + 1) / (R1 + R2)$$

判定レベル 1

$$= VREF \times (R1 + R2 \dots + Rn + 1) / (R1 + R2 + \dots + Rn)$$

その後、昇圧電圧 VPP が次第に昇圧されて、判定レベル1を超えると、昇圧電圧検知制御回路60から出力される昇圧能力切替信号 $EN1$ の電位がハイレベルとなって、昇圧部10の昇圧能力が下がる。

【0102】

さらに、昇圧電圧 VPP が判定レベル n よりも高い電位の昇圧有効レベルを超えるまでは、段階的に昇圧能力を下げながら昇圧動作を続け、昇圧有効レベルを超えると、クロック制御信号 PEN が非活性となって、昇圧部10はその昇圧動作を停止する。

【0103】

このように、第5の実施形態に係る昇圧回路によると、出力電圧 VPP の電圧値を段階的に検知して、制御信号（昇圧能力切替信号 $EN1 \sim ENn$ ）を出力する昇圧電位検知制御回路60を備えているため、昇圧電圧 VPP が、設定された目標電圧に近づくにつれて昇圧能力が下がるので、出力電圧 VPP のオーバーシュートが防止され、その結果、昇圧回路を構成する素子の信頼性を向上することができる。

【0104】

なお、昇圧部10は、第1の実施形態に係る構成には限られず、第2又は第3の実施形態に係る昇圧部10A、10Bを用いても良い。

【0105】

(第6の実施形態)

以下、本発明の第6の実施形態について図面を参照しながら説明する。

【0106】

図14は本発明の第6の実施形態に係る昇圧回路のブロック構成を示している。図14において、図1に示す構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。

【0107】

図14に示すように、第6の実施形態に係る昇圧回路は、昇圧部10と、該昇圧部10から出力される出力電圧（昇圧電圧） V_{PP} を検知し、検知した出力電圧 V_{PP} が所定の電圧値以下である場合に、クロック制御信号 PEN を昇圧部10に出力する昇圧電圧検知回路120と、電源電圧 V_{DD} に応じて、制御信号としての昇圧能力切替信号 $EN1 \sim ENn$ を昇圧部10に出力する電源電圧検知制御回路70とにより構成されている。ここでは、クロック制御信号 PEN を受け昇圧クロック制御回路は昇圧部10に組み込まれている。

【0108】

図15は電源電圧検知制御回路70の回路構成の一例を示している。

【0109】

図15に示すように、第6の実施形態に係る電源電圧検知制御回路70は、電源電圧 V_{DD} と接地端子との間に互いに直列に接続された $n+1$ （但し、 n は1以上の整数。）個の抵抗器 $R1 \sim R_{n+1}$ と、各抵抗器 $R1 \sim R_{n+1}$ における各隣接間のノード $V_{DDD1} \sim V_{DDDn}$ の電位と基準電圧 V_{REF} とが入力され、且つ各ノード $V_{DDD1} \sim V_{DDDn}$ の電位と基準電圧 V_{REF} とを比較して演算を行ない、昇圧能力切替信号 $EN1 \sim ENn$ を出力する電圧比較部71とから構成されている。

【0110】

電圧比較部71は、昇圧能力切替信号 $EN1 \sim ENn$ をそれぞれ出力する n 個の差動増幅器からなり、反転入力端子には基準電位 V_{REF} が入力され、非反転入力端子には各ノード $V_{DDD1} \sim V_{DDDn}$ の電位がそれぞれ入力される。

【0111】

この構成により、電源電圧検知制御回路 70 から出力される、各ノードと対応する昇圧能力切替信号 $EN1 \sim ENn$ は、電源電圧 VDD を抵抗分割した各ノード $VDDD1 \sim VDDDn$ が基準電圧 $VREF$ よりも低い場合には、それぞれロウレベルとなり、基準電圧 $VREF$ よりも高い場合には、それぞれハイレベルとなる。

【0112】

以下、前記のように構成された昇圧回路の動作について、昇圧回路から出力される昇圧電圧 VPP の電圧波形を示す図 16 を参照しながら説明する。

【0113】

図 16 に示すように、電源電圧検知制御回路 70 において、電源電圧 VDD が $VDD < \text{判定レベル 1}$ の場合は、昇圧能力切替信号 $EN1 \sim ENn$ の電位がすべてロウレベルとなるため、昇圧部 10 における昇圧能力は最大となる。

【0114】

これに対し、電源電圧 VDD が $VDD > \text{判定レベル 2}$ の場合には、昇圧能力切替信号 $EN1$ の電位がハイレベルとなって、昇圧部 10 における昇圧能力が下がる。ここで、各判定レベルの算出式は、前述した通りである。

【0115】

このように、第 6 の実施形態に係る昇圧回路によると、電源電圧 VDD の電圧値を段階的に検知して、制御信号（昇圧能力切替信号 $EN1 \sim ENn$ ）を出力する電源電位検知制御回路 70 を備えているため、電源電圧 VDD が比較的に高い場合であっても、昇圧部 10 において昇圧能力が上がり過ぎないようにすることができるので、広い帯域を持つ電源電圧 VDD を用いて昇圧回路を動作させる場合においても、出力電圧 VPP のオーバーシュートを防止することができる。その結果、昇圧回路を構成する素子の信頼性を向上することができる。

【0116】

なお、昇圧部 10 は、第 1 の実施形態に係る構成には限られず、第 2 又は第 3 の実施形態に係る昇圧部 10A、10B を用いても良い。

【0117】

（第 7 の実施形態）

以下、本発明の第7の実施形態について図面を参照しながら説明する。

【0118】

図17は本発明の第7の実施形態に係る昇圧回路のブロック構成を示している。図17において、図1に示す構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。

【0119】

図17に示すように、第7の実施形態に係る昇圧回路は、昇圧部10と、該昇圧部10から出力される出力電圧（昇圧電圧）VPPを検知し、検知した出力電圧VPPが所定の電圧値以下である場合に、クロック制御信号PENを昇圧部10に出力する昇圧電圧検知回路120と、出力電圧VPPを検知し、検知した出力電圧VPPに基づいて、制御信号としての昇圧能力切替信号EN1～ENnを昇圧部10に出力する昇圧電圧検知制御回路60Aと、電源電圧VDDを検知して昇圧能力切り替えイネーブル信号信号ENDETを昇圧電圧検知制御回路60Aに出力する電源電圧検知制御回路70Aにより構成されている。ここでは、クロック制御信号PENを受ける昇圧クロック制御回路は昇圧部10に組み込まれている。

【0120】

図18（a）及び図18（b）は昇圧電圧検知制御回路60A及び電源電圧検知制御回路70Aの回路構成の一例をそれぞれ示している。

【0121】

図18（a）に示すように、昇圧電圧検知制御回路60Aは、図12に示す昇圧電圧検知制御回路60との相違点のみを説明すると、電圧比較部61と出力端子との間に、電圧比較部61を構成するn（但し、nは1以上の整数。）個の差動増幅器と対応するアンド回路からなるスイッチ部62を有している。

【0122】

スイッチ部62を構成する各アンド回路は、それぞれ、一方の入力端子が昇圧能力切替信号EN1～ENnのうちの1つを受け、他方の入力端子が電源電圧検知制御回路70Aからの昇圧能力切り替えイネーブル信号信号ENDETを受ける。

【0123】

この構成により、昇圧電圧検知制御回路60Aは、昇圧電圧検知イネーブル信号信号ENDETの電位がハイレベルの期間においては、昇圧電圧VPPが抵抗分割された各ノードVPPD1～VPPDnの電位が基準電圧VREFよりも低い場合には、各ノードと対応した昇圧能力切替信号EN1～ENnをロウレベルで出力し、逆に、基準電圧VREFよりも高い場合には、各ノードと対応した昇圧能力切替信号EN1～ENnをハイレベルで出力する。

【0124】

一方、昇圧能力切り替えイネーブル信号ENDETの電位がロウレベルの期間においては、昇圧電圧検知制御回路60Aは、昇圧能力切替信号EN1～ENnの電位をすべてロウレベルで出力する。

【0125】

また、図18(b)に示すように、電源電圧検知制御回路70Aは、電源電圧VDDと接地端子との間に直列に接続された抵抗器R1、R2と、一方の入力端子が抵抗器R1、R2の接続ノードVDDEと接続され、他方の入力端子が基準電圧VREFを受け、接続ノードVDDEの電圧と基準電圧VREFとの比較演算を行なって、昇圧能力切り替えイネーブル信号ENDETを出力する電圧比較器とにより構成されている。ここでは電圧比較器として差動増幅器を用い、反転入力端子に基準電圧VREFが印加され、非反転入力端子に接続ノードVDDEの電圧が印加される。この構成により、接続ノードVDDEの電圧が基準電圧VREFよりも低い場合は、昇圧能力切り替えイネーブル信号ENDETはロウレベルとなり、接続ノードVDDEの電圧が基準電圧VREFよりも高い場合は、昇圧能力切り替えイネーブル信号ENDETはハイレベルとなる。

【0126】

以下、前記のように構成された昇圧回路の動作について、昇圧回路から出力される昇圧電圧VPPの電圧波形を示す図19を参照しながら説明する。

【0127】

図18(b)に示したように、電源電圧VDDが基準電圧VREF及び抵抗器R1、R2の抵抗値により決定される所定の電圧値以上の高電源電圧である場合

には、昇圧能力切り替えイネーブル信号 ENDET の電位はハイレベルとなる。

【0128】

これにより、図 18 (a) に示したように、昇圧電圧検知制御回路 60A は、昇圧電圧 VPP の値に応じてハイレベル又はロウレベルの値を持つ昇圧能力切替信号 EN1 ～ ENn を出力することができるため、図 19 に示すように、昇圧部 10 における昇圧能力を出力電圧検知制御レベルごとに調整することができる。

【0129】

これに対し、電源電圧が所定の電圧値よりも低い低電源電圧である場合には、昇圧能力切り替えイネーブル信号 ENDET の電位がロウレベルとなるため、ロウレベルの昇圧能力切り替えイネーブル信号 ENDET を受ける昇圧電圧検知制御回路 60A から出力される昇圧能力切替信号 EN1 ～ ENn の電位はすべてロウレベルとなるので、昇圧部 10 における昇圧能力は最大となり、例えば図 19 に示すように、出力電圧検知制御レベル 2 に達したとしても、昇圧部 10 の昇圧能力が下がらないようにすることができる。

【0130】

このように、第 7 の実施形態に係る昇圧回路によると、電源電圧 VDD を検知して、昇圧電圧検知制御回路 60A の出力を制御する電源電圧検知制御回路 70A を備えているため、電源電圧 VDD の電圧値に応じて昇圧部 10 の昇圧能力を調整することができる。その結果、広い帯域を持つ電源電圧 VDD を用いて昇圧回路を動作させる場合においても、出力電圧 VPP のオーバーシュートを防止することができる、その上、低電源電圧時においても昇圧部 10 の昇圧能力を小さくし過ぎないようにすることができる。従って、昇圧回路を構成する素子の信頼性を向上することができると共に、電源電圧 VDD が比較的に低い場合であっても、セットアップ時間の遅延を防止することができる。

【0131】

なお、昇圧部 10 は、第 1 の実施形態に係る構成には限られず、第 2 又は第 3 の実施形態に係る昇圧部 10A、10B を用いても良い。

【0132】

【発明の効果】

本発明に係る第1の昇圧回路によると、昇圧部の昇圧能力を調整できるため、設定された目標電圧に対するオーバーシュートを防止できるので、昇圧回路を構成する素子の信頼性を向上でき、加えて消費電流をも低減することができる。

【0133】

本発明に係る第2の昇圧回路によると、昇圧セルが持つ昇圧能力を調整できるため、設定された目標電圧に対するオーバーシュートを防止できるので、昇圧回路を構成する素子の信頼性を向上でき、加えて昇圧部の耐圧オーバーを防止することができる。

【0134】

本発明に係る第3の昇圧回路によると、昇圧部の昇圧能力を調整できるため、設定された目標電圧に対するオーバーシュートを防止できるので、昇圧回路を構成する素子の信頼性を向上でき、加えて昇圧部の動作時における電源電流のピーク値を低減することができる。

【0135】

本発明に係る第4の昇圧回路によると、複数の電荷転送トランジスタに遅延を与えながら、該複数の電荷転送トランジスタを徐々に動作させることができるため、簡便な回路構成で、昇圧部の動作時における電源電流のピーク値を低減することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態に係る昇圧回路を示す回路図である。

【図2】

本発明の第1の実施形態に係る昇圧回路に供給されるクロック信号の波形図である。

【図3】

本発明の第1の実施形態に係る昇圧回路を構成する昇圧電圧検知回路の一例を示す回路図である。

【図4】

本発明の第2の実施形態に係る昇圧回路を示す回路図である。

【図 5】

(a) は本発明の第 2 の実施形態に係る昇圧回路を構成するクロック振幅切換回路の一例を示す回路図である。

(b) は (a) に示すクロック振幅切換回路における入力信号と出力信号とを示す波形図である。

【図 6】

本発明の第 3 の実施形態に係る昇圧回路を示す回路図である。

【図 7】

本発明の第 3 の実施形態に係る昇圧回路に供給されるクロック信号の波形図である。

【図 8】

本発明の第 3 の実施形態に係る昇圧回路の昇圧動作を示すタイミングチャート図である。

【図 9】

本発明の第 4 の実施形態に係る昇圧回路を示す回路図である。

【図 10】

本発明の第 4 の実施形態に係る昇圧回路の昇圧動作を示すタイミングチャート図である。

【図 11】

本発明の第 5 の実施形態に係る昇圧回路を示すブロック構成図である。

【図 12】

本発明の第 5 の実施形態に係る昇圧回路を構成する昇圧電圧検知制御回路の一例を示す回路図である。

【図 13】

本発明の第 5 の実施形態に係る昇圧回路の昇圧動作を示すタイミングチャート図である。

【図 14】

本発明の第 6 の実施形態に係る昇圧回路を示すブロック構成図である。

【図 15】

本発明の第 6 の実施形態に係る昇圧回路を構成する電源電圧検知制御回路の一例を示す回路図である。

【図 16】

本発明の第 6 の実施形態に係る昇圧回路の昇圧動作を示すタイミングチャート図である。

【図 17】

本発明の第 7 の実施形態に係る昇圧回路を示すブロック構成図である。

【図 18】

(a) は本発明の第 7 の実施形態に係る昇圧回路を構成する昇圧電圧検知制御回路の一例を示す回路図である。

(b) は本発明の第 7 の実施形態に係る昇圧回路を構成する電源電圧検知制御回路の一例を示す回路図である。

【図 19】

本発明の第 7 の実施形態に係る昇圧回路の昇圧動作を示すタイミングチャート図である。

【図 20】

従来の昇圧回路を示す構成図である。

【図 21】

従来の昇圧回路の昇圧動作を示す図である。

【符号の説明】

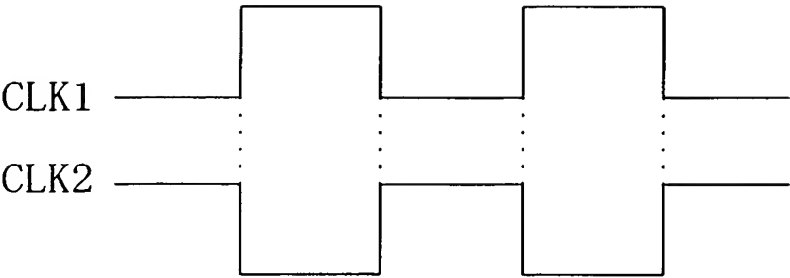
- 10 昇圧部
- 10A 昇圧部
- 10B 昇圧部
- 10C 昇圧部
- 11 昇圧セル
- 12 昇圧セル
- 13 昇圧セル
- 13n 接続切換回路
- 14 電力出力部

2 1	昇圧セル
2 2	昇圧セル
2 3	昇圧セル
2 4	電力出力部
3 1	昇圧セル
3 2	昇圧セル
3 3	昇圧セル
3 3 0	電荷転送トランジスタ制御回路
3 4	電力出力部
4 1	昇圧セル
4 2	昇圧セル
4 3	昇圧セル
4 3 0	電荷転送トランジスタシフト制御回路
4 3 1	遅延回路
4 3 2	第 1 のアンド回路
4 3 3	第 2 のアンド回路
5 1	クロック振幅切換回路
5 2	クロック振幅切換回路
6 0	昇圧電圧検知制御回路
6 0 A	昇圧電圧検知制御回路
6 1	電圧比較部
6 2	スイッチ部
7 0	電源電圧検知制御回路
7 0 A	電源電圧検知制御回路
7 1	電圧比較部
1 2 0	昇圧電圧検知回路
1 4 0	昇圧クロック制御回路
1 4 0 A	昇圧クロック制御回路
C P	昇圧用キャパシタ

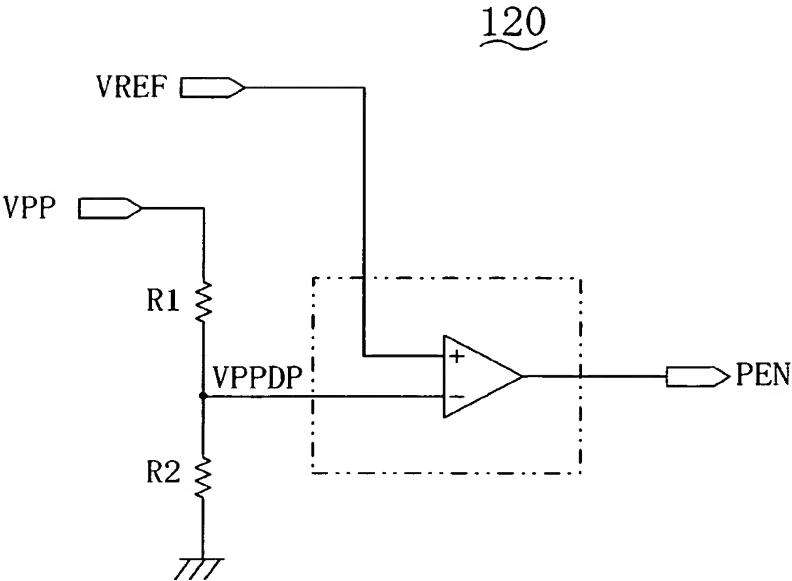
C g n ゲート昇圧用キャパシタ

S W n スイッチトランジスタ

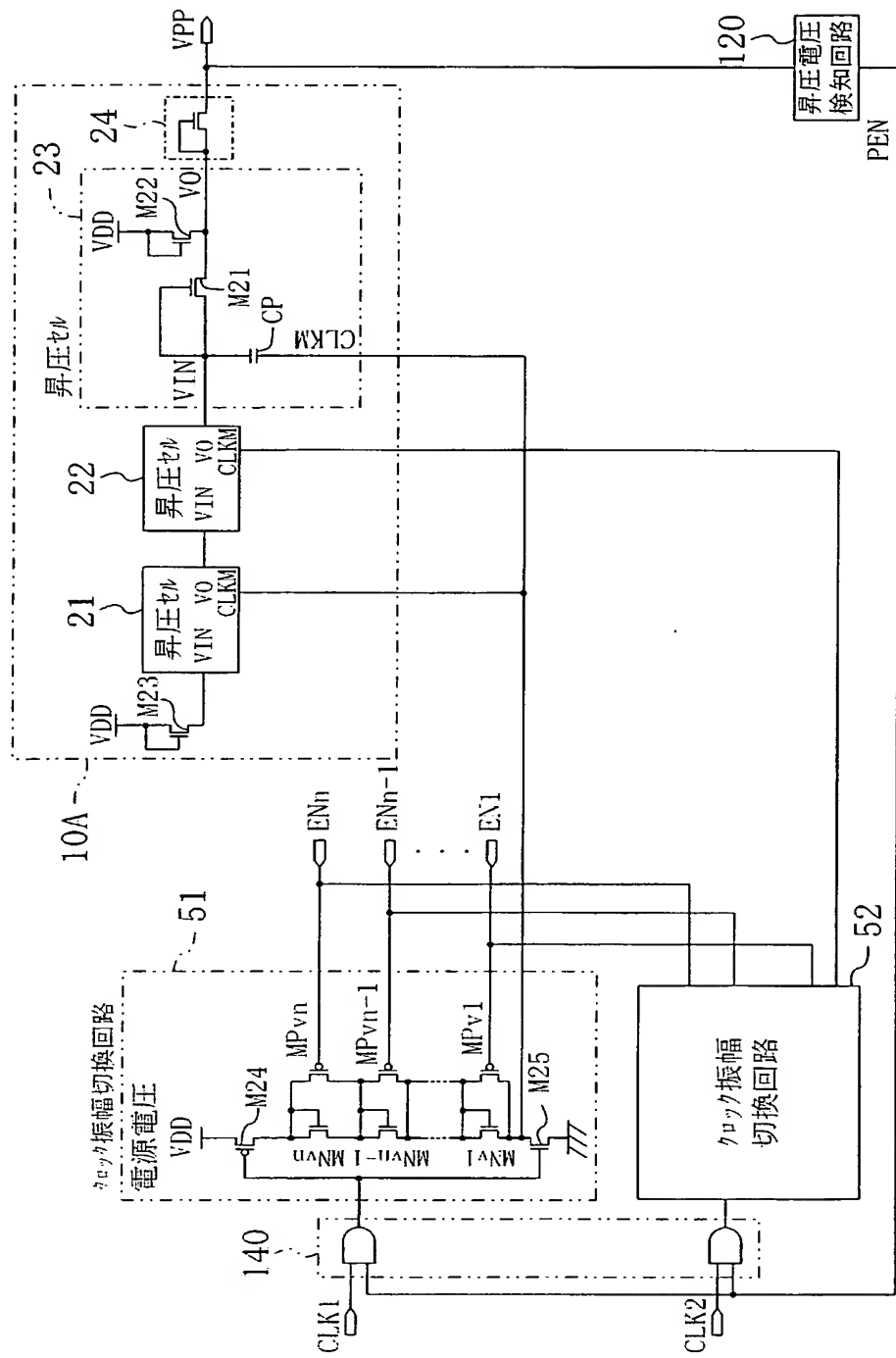
【図 2】



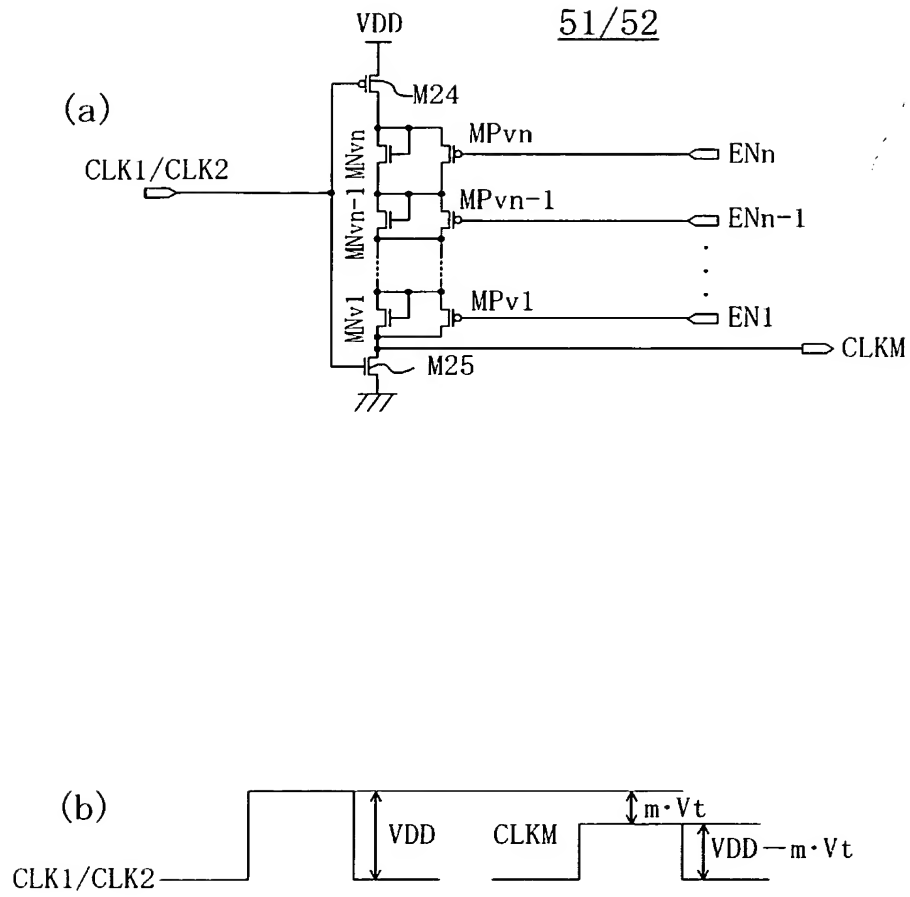
【図 3】



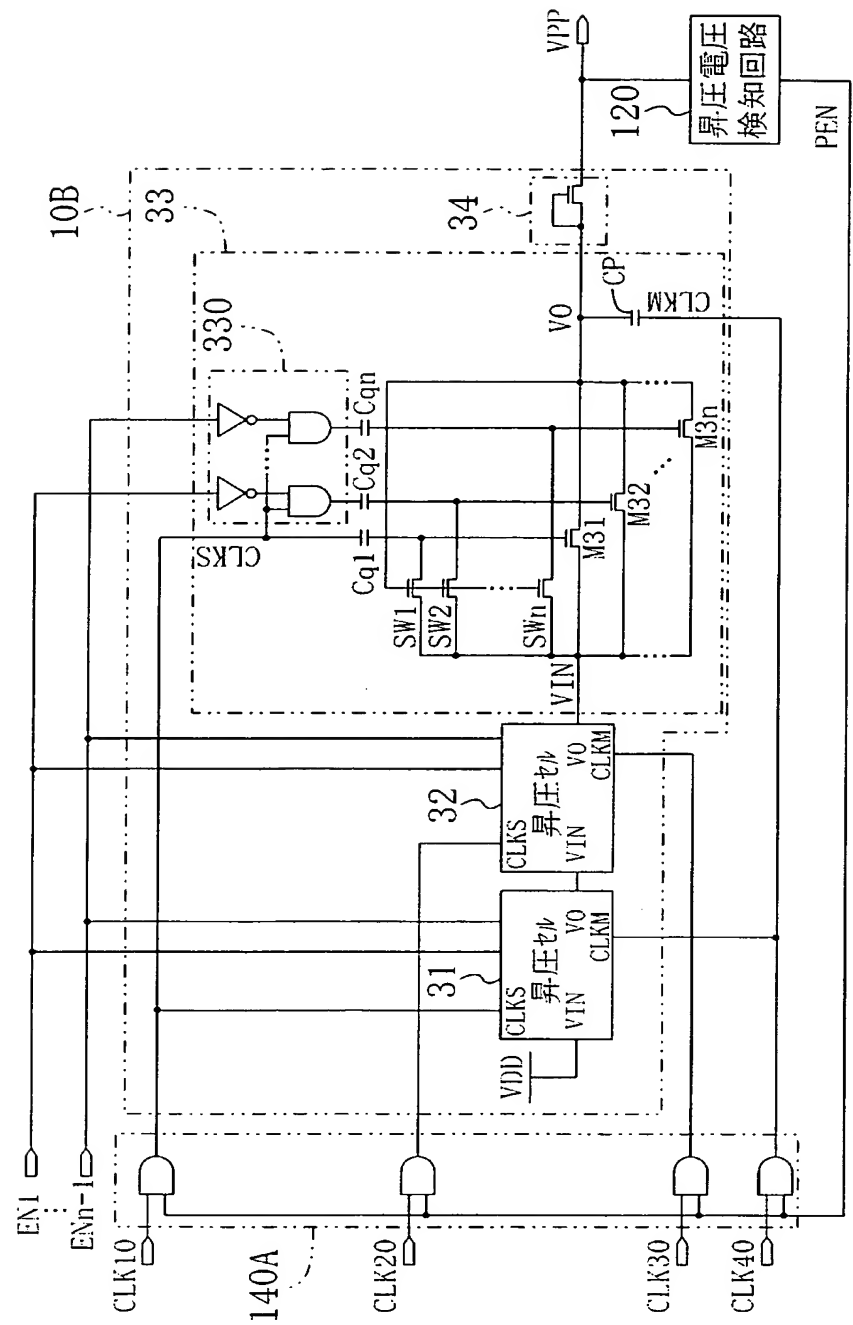
【図 4】



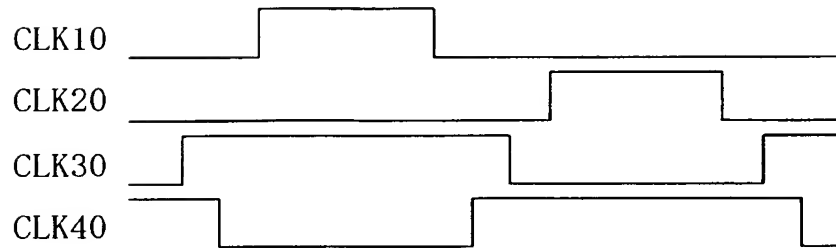
【図 5】



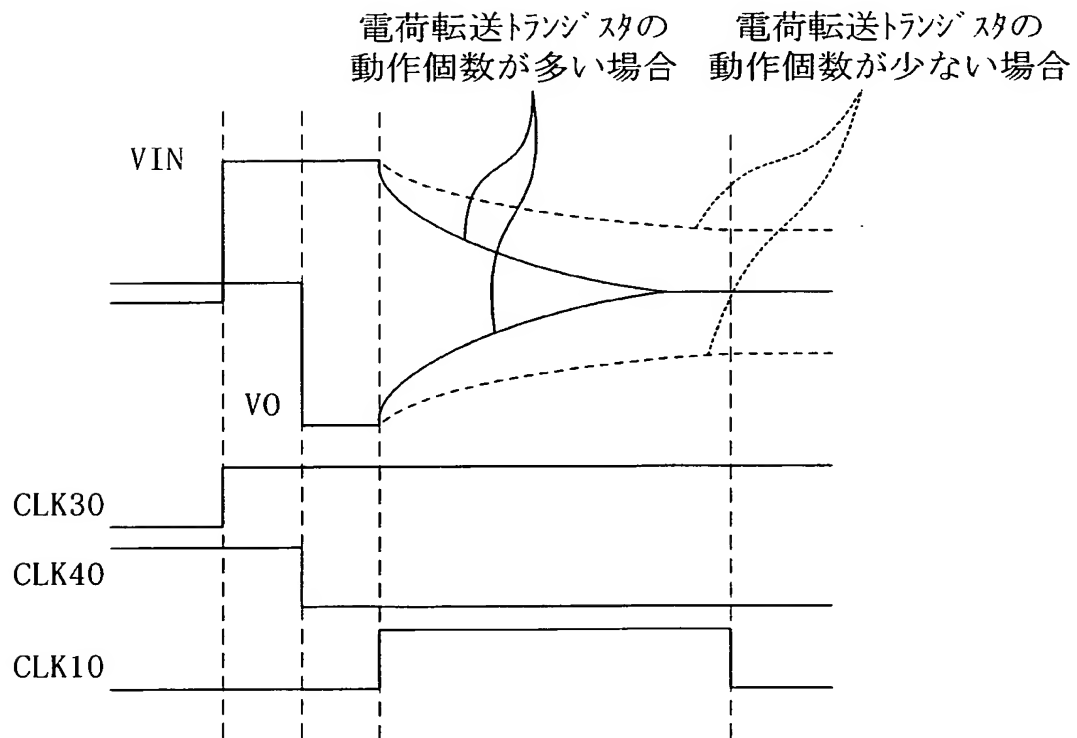
【図 6】



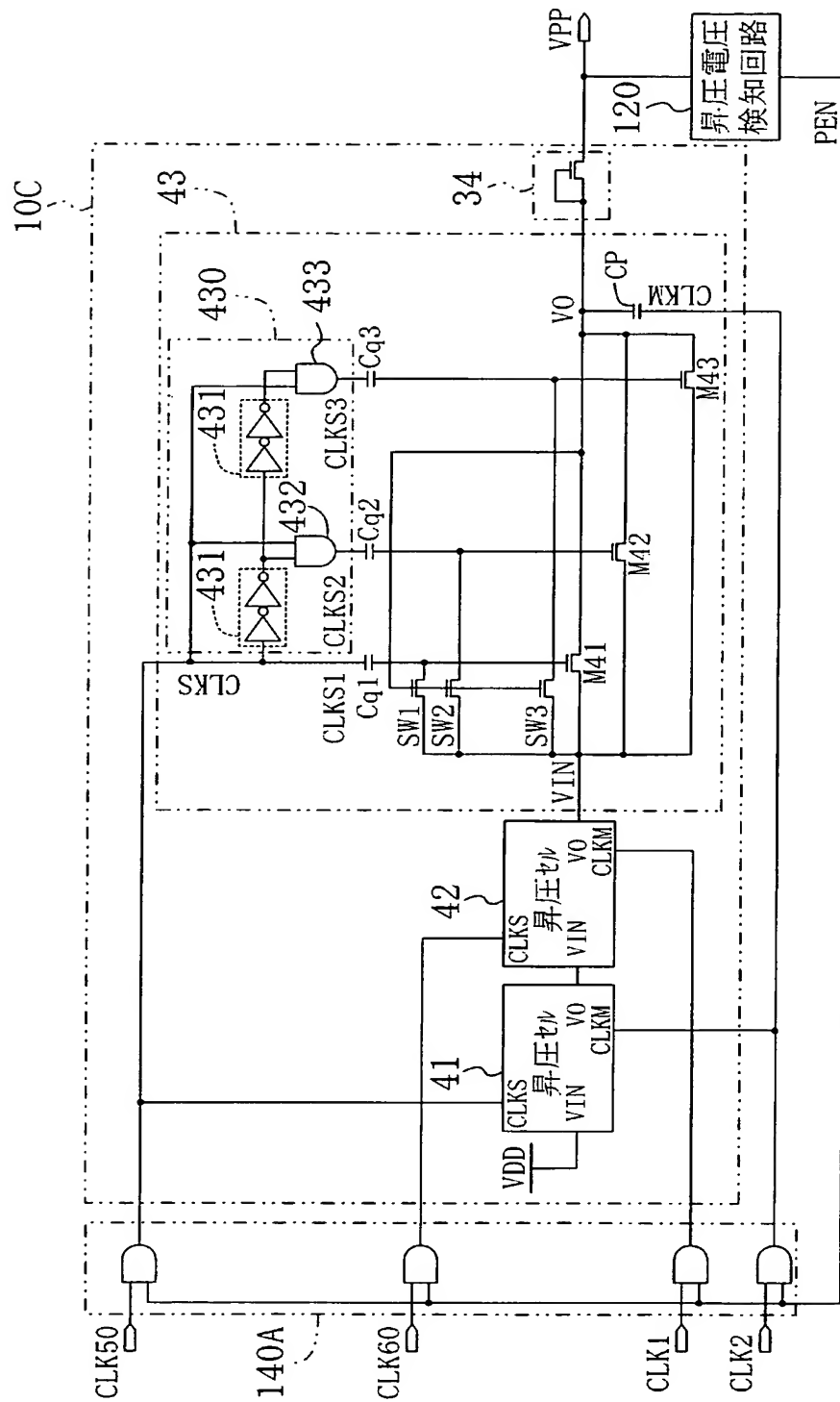
【図 7】



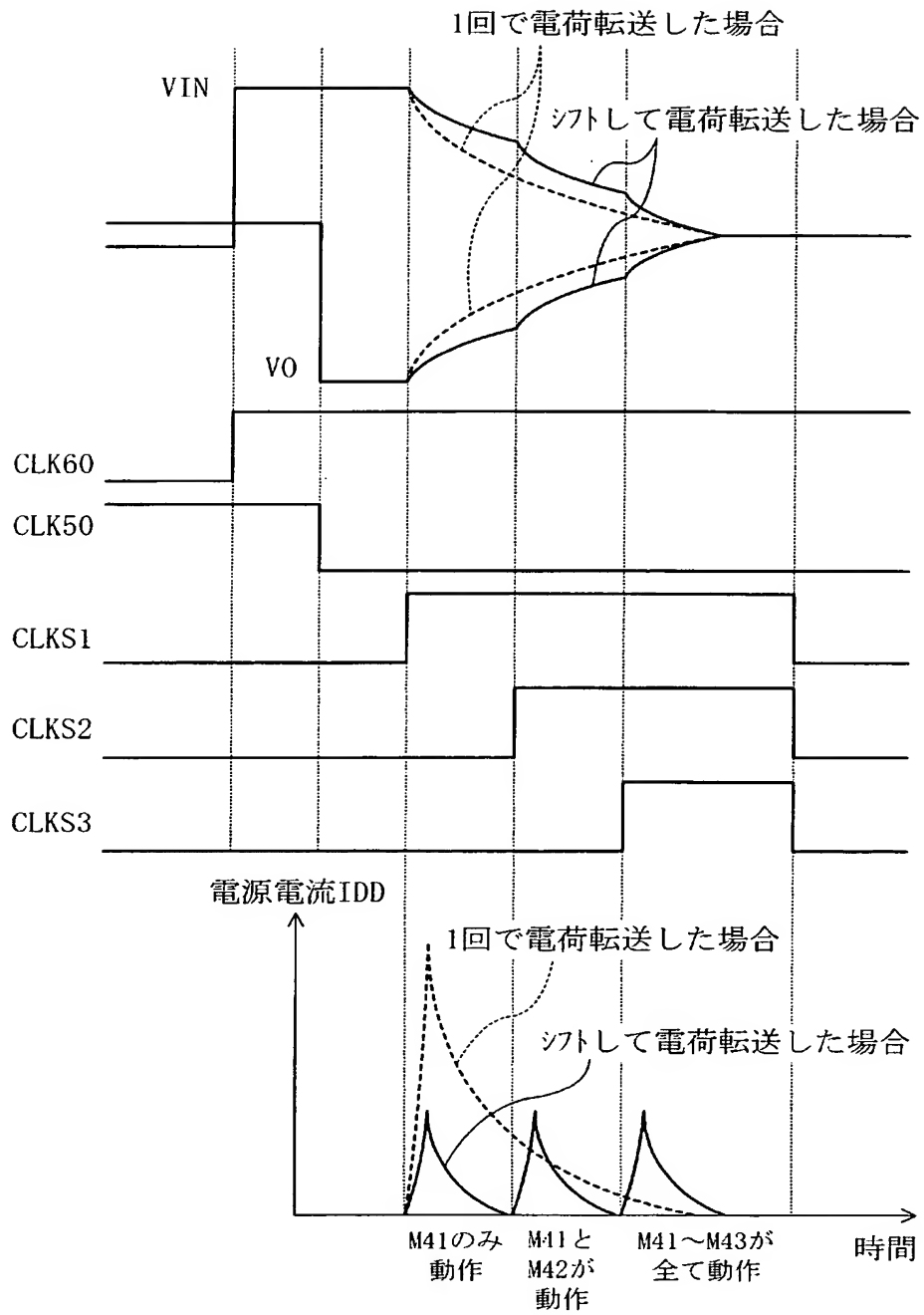
【図 8】



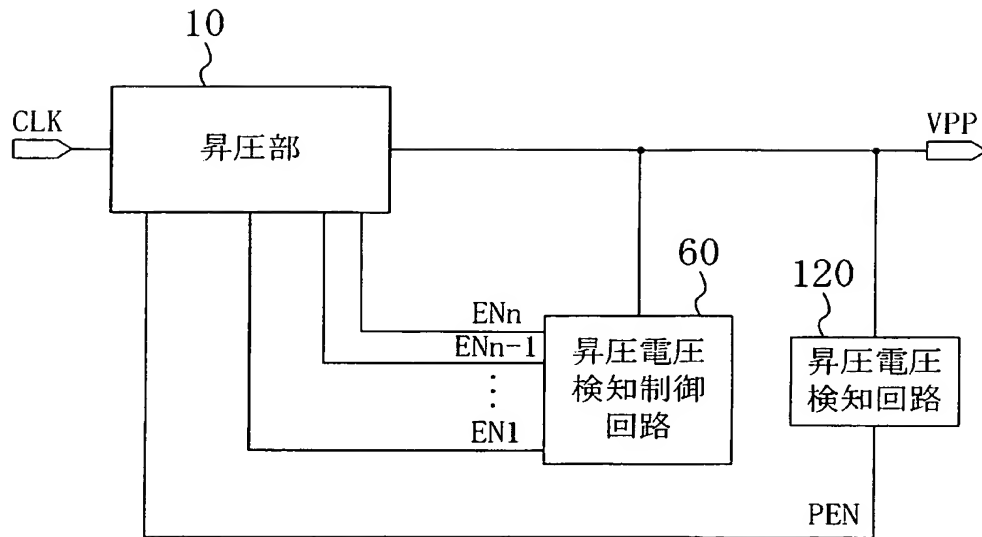
【図9】



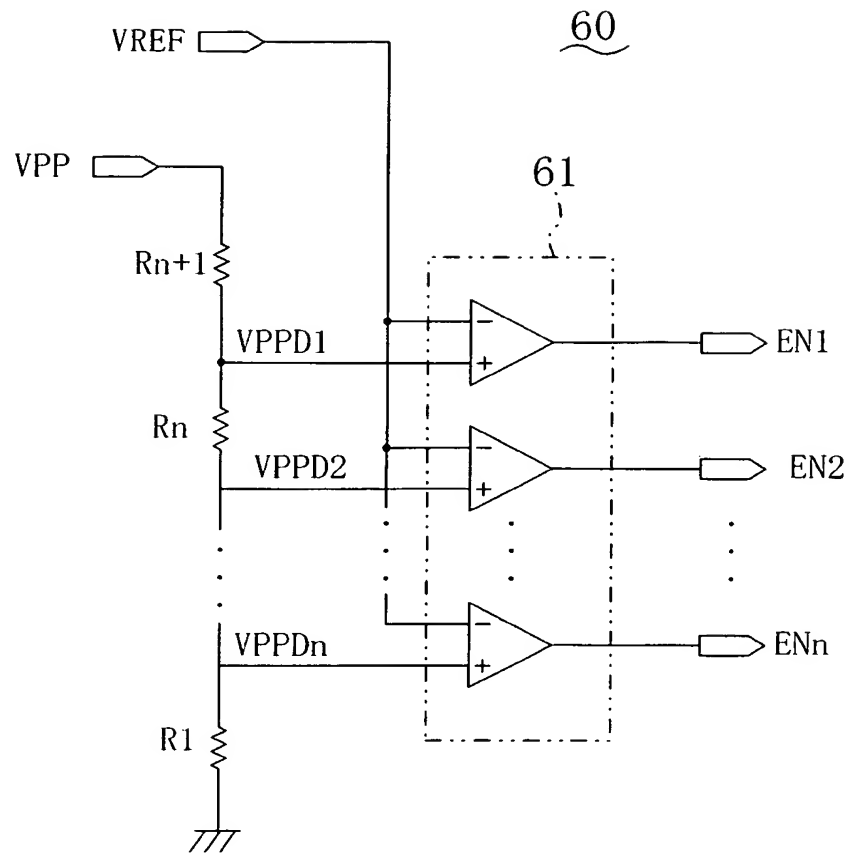
【図10】



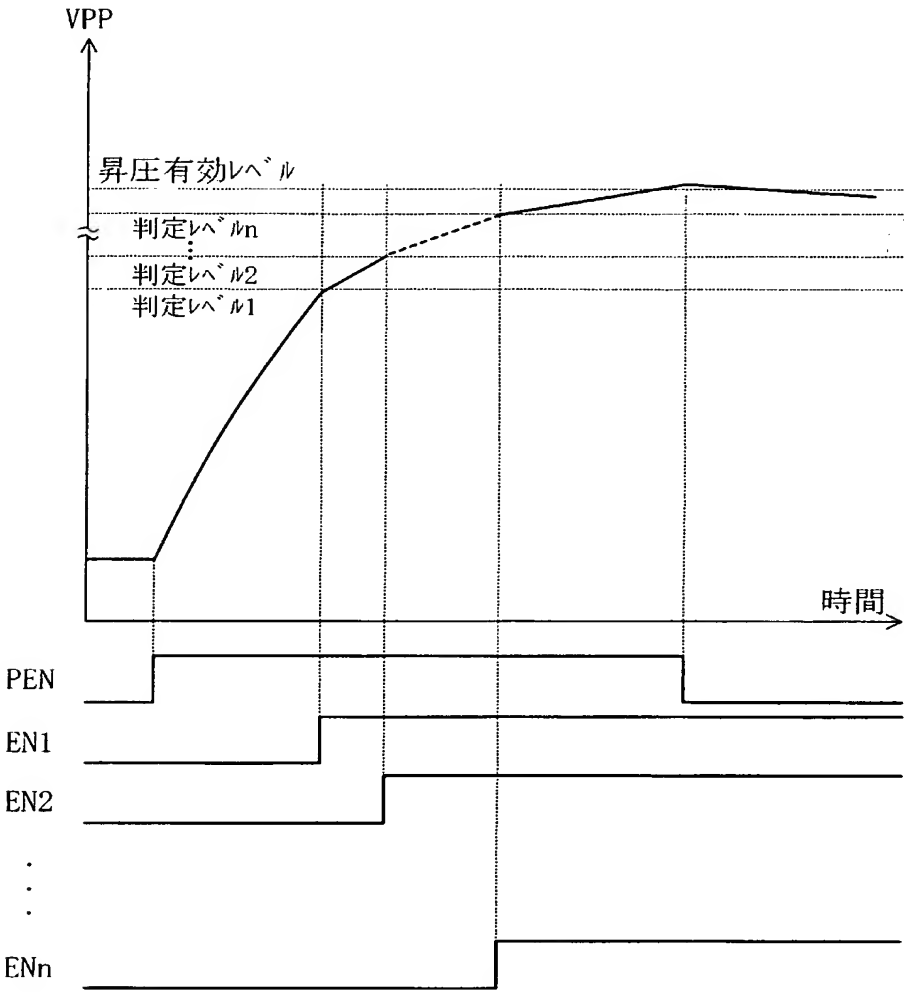
【図 11】



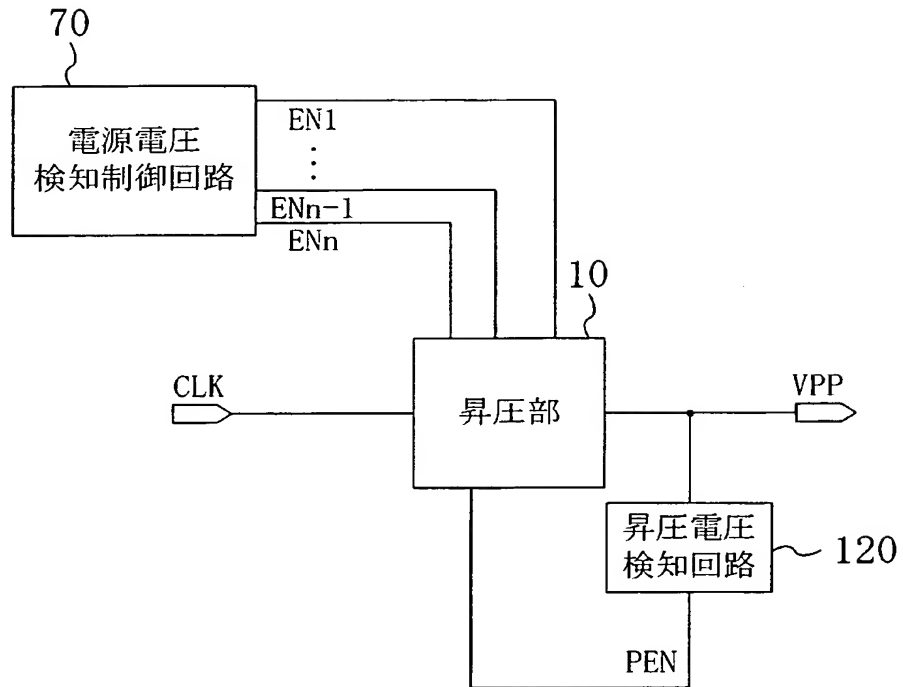
【図 12】



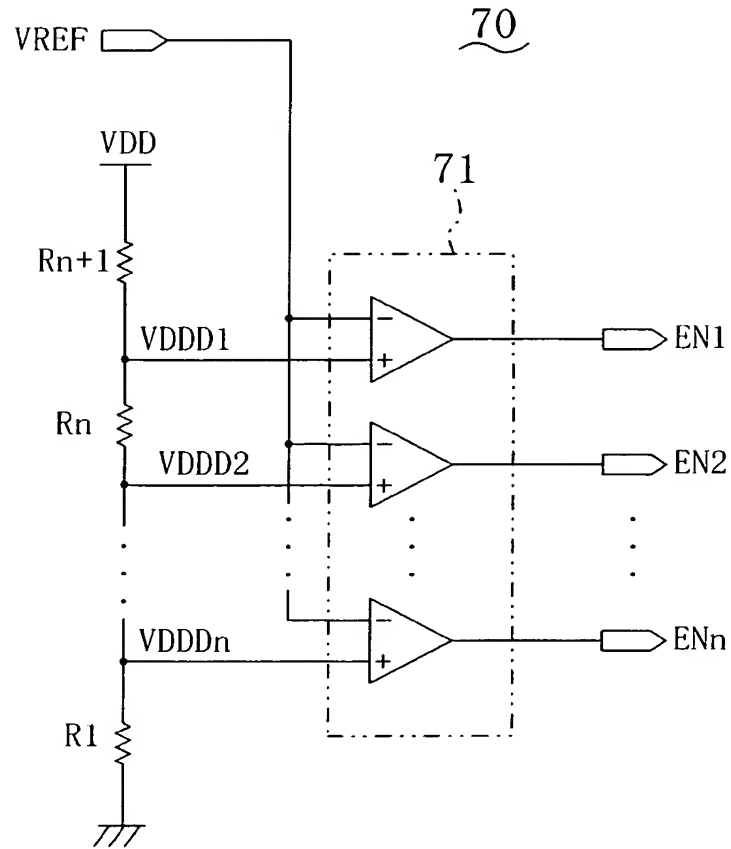
【図 13】



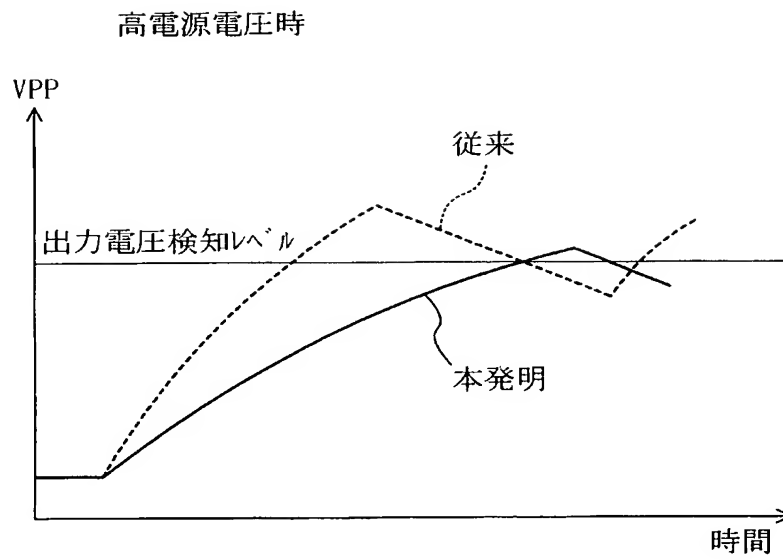
【図 14】



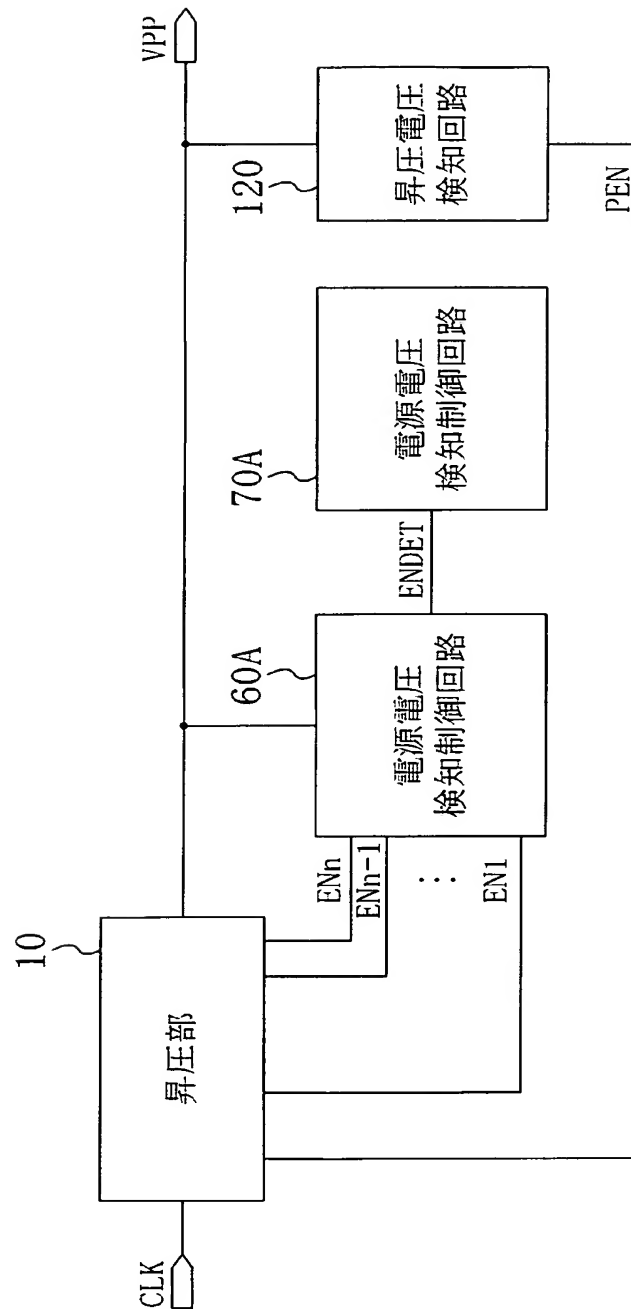
【図 15】



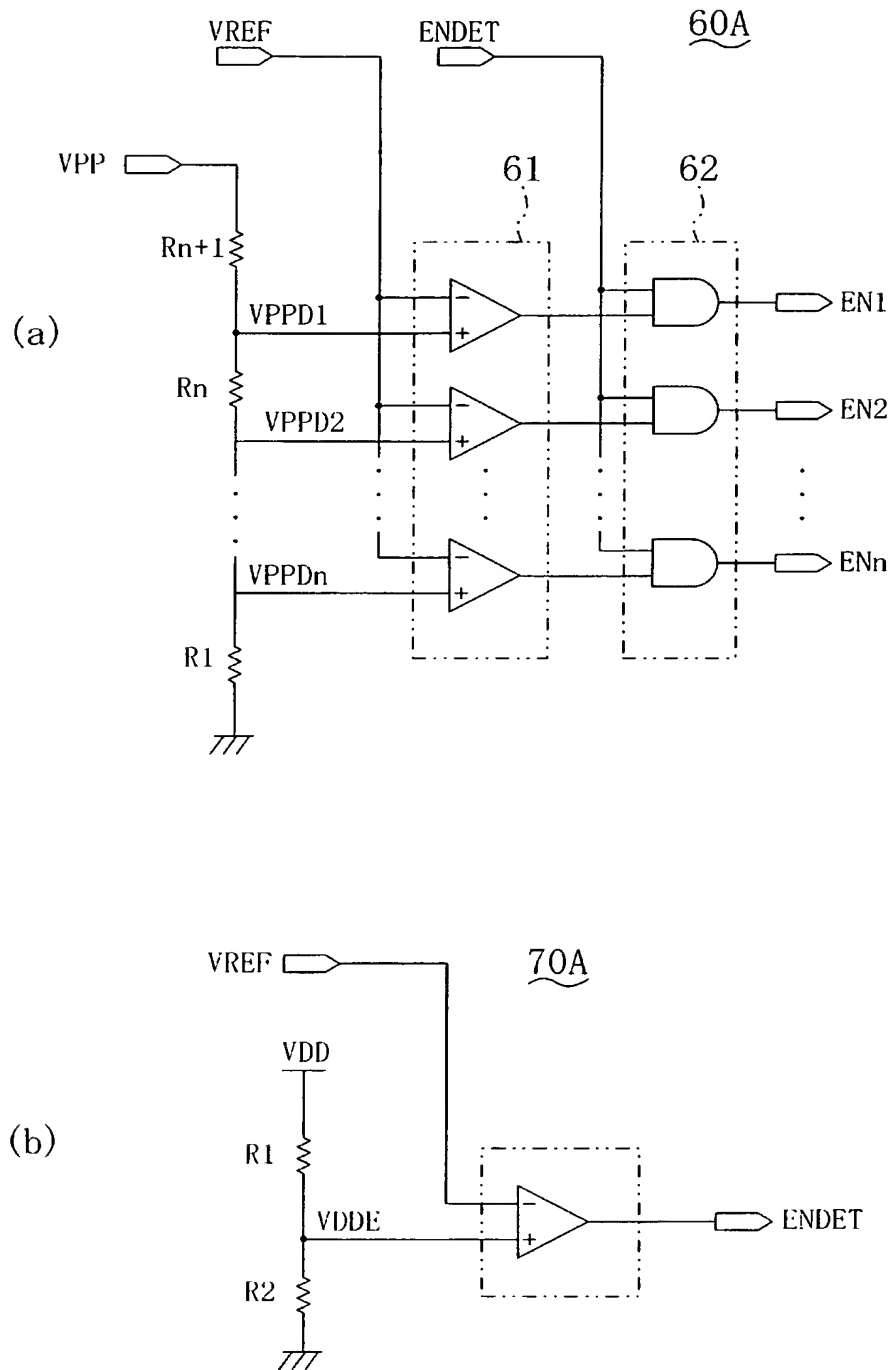
【図 16】



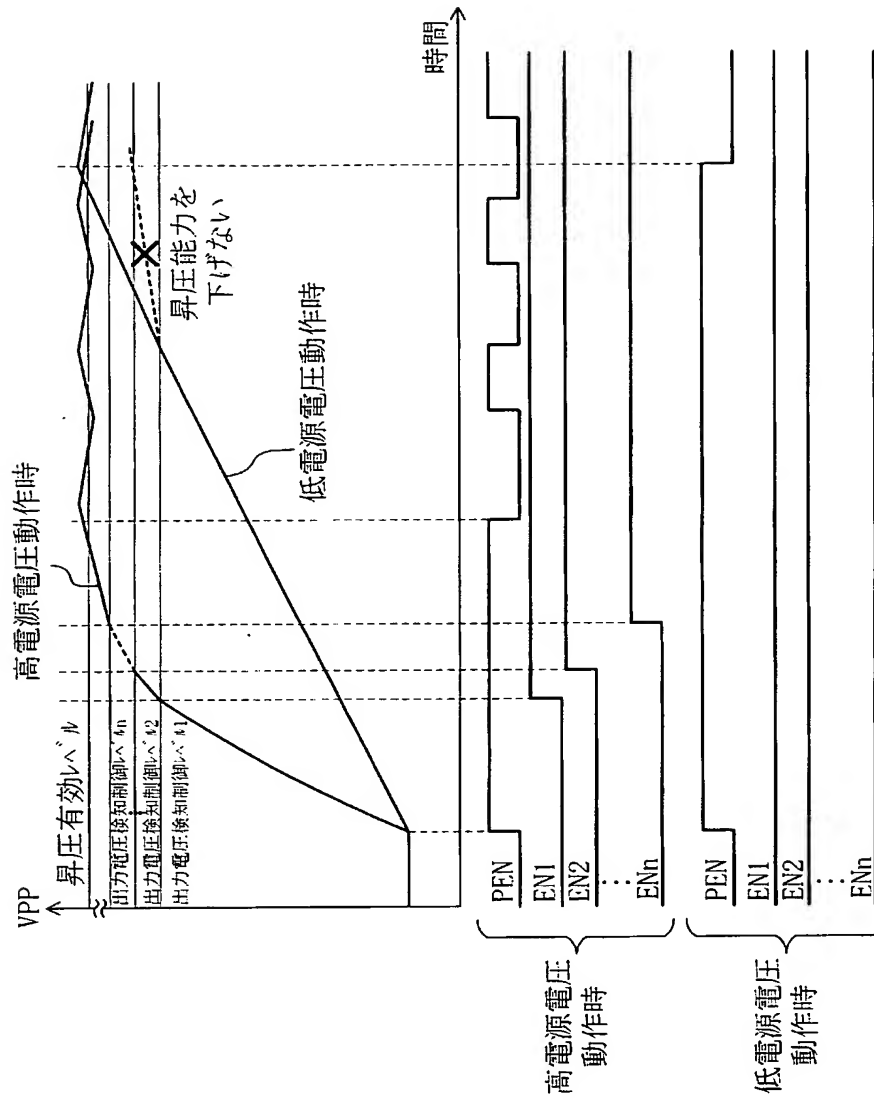
【図 17】



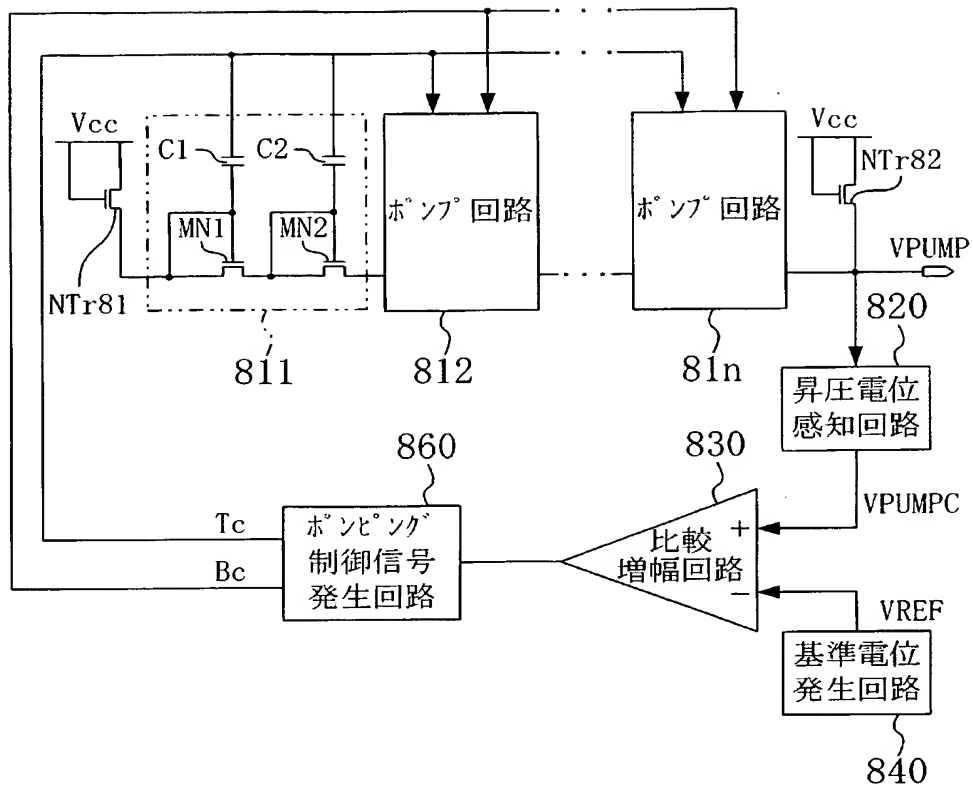
【図 18】



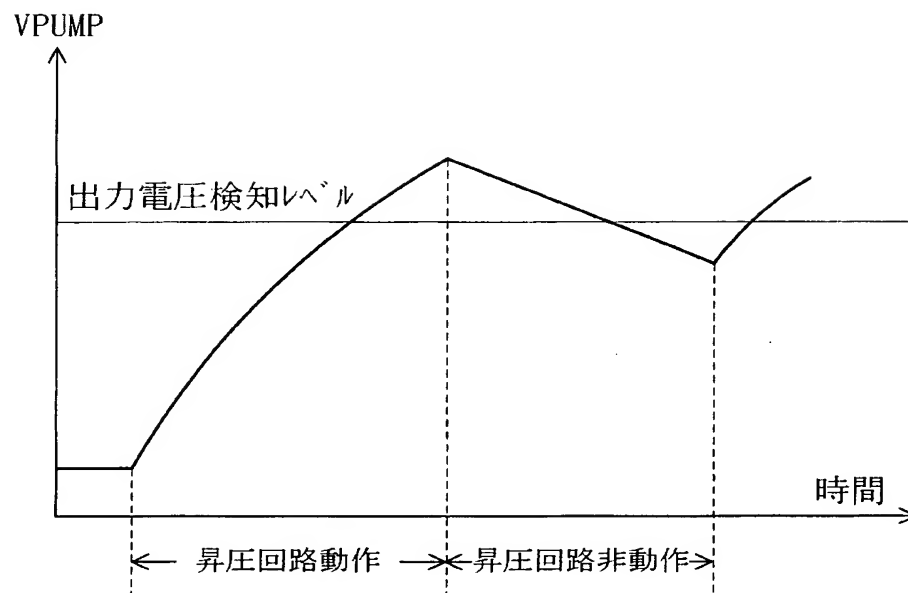
【図 19】



【図 20】



【図 2 1】



【書類名】 要約書

【要約】

【課題】 所定の昇圧電位に対する出力電位の変動幅を小さくすると共に、簡易な回路構成で容易に制御ができるようにする。

【解決手段】 各昇圧セル 11～13 は、ダイオード接続された第 1 の N c h トランジスタ M11 と、ゲートとドレインとが電源電圧 VDD に接続され、ソースが第 1 の N c h トランジスタ M11 のソースと接続された第 2 の N c h トランジスタ M12 と、第 1 の N c h トランジスタ M11 のドレイン、及びクロック信号 CLK1 又は CLK2 が入力される昇圧クロック入力端子 CLKM の間に設けられた昇圧用キャパシタ CP とを有している。昇圧用キャパシタ CP には、n 個の補助昇圧用キャパシタ CS1～CSn が、外部から入力される制御信号としての昇圧能力切替信号 EN1～ENn により制御される接続切換回路 131～13n を介してそれぞれ並列に接続されている。

【選択図】 図 1

特願 2 0 0 3 - 0 6 1 2 1 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社